文章编号: 1007 - 4252(2020)04 - 0004 - 290

光刻工艺中硅片表面静电现象研究

张瑜*,卞玉洋
(上海华力集成电路制造有限公司,上海 201317)

摘要: 光刻是集成电路制造中的关键工艺,通过光化学反应原理把事先制备在掩膜版上的图形转印到衬底上。光刻工艺之后,需要对光刻胶图形的关键尺寸进行检测。业界通常采用高分辨率的电子显微镜进行测量。本文从 14nm 工艺超厚金属连线层出现的晶圆中心量测图形位置偏移问题入手,利用套刻精度、晶圆水平对准测量、光刻胶旋涂厚度、刻蚀后的检测等检测手段排除其它可能导致图形偏移的因素,并最终结合硅片表面电势测量技术证明在光刻过程中出现硅片表面电荷积累。硅片表面静电场同 SEM 量测过程中入射电子束相互作用导致 CD 量测异常。进一步,通过分步实验澄清硅片表面电荷的来源,并阐释了其产生机理,并最终通过优化显影程式对硅片表面静电现象进行改善。

关键词: 光刻工艺; 表面静电; 超厚金属连线层; 关键尺寸
中图分类号: TN04/TN47 **文献标志码:** A

Investigation of Wafer Surface Static Electricity in Lithography Process

ZHANG Yu*, BIAN Yuyang
(Shanghai Huali Integrated Circuit Manufacturing Co., Ltd, Shanghai 201317, China)

Abstract: Lithography is one of the most important processes in integrated circuit manufacturing, by which the prepared patterns from mask are transferred onto wafer via photochemical reaction. After lithography processes, the critical dimension (CD) of patterns are measured normally by secondary electron microscope (SEM). In the CD-SEM measurement process of ultra-thick metal layer of 14nm technology, the detected measurement target of wafer center is shifted from registered coordinates, while the other measurement area is normal. The inspection methods including overlay (OVL), wafer leveling, resist thickness, after etching inspection (AEI) and surface potential measurement are carried out to excluding other influence factor of shift. And combined with wafer surface potential measurement, the phenomenon of charge accumulation on wafer surface after lithography has been verified. The interaction between static electricity of wafer center and incidence electrons of SEM causes the measurement issue. Further, the ori-

收稿日期: 2020-05-21; **修订日期:** 2020-06-23
作者简介: 张瑜(1978-),男,上海,硕士,现任上海华力集成电路制造有限公司研发部总监,有 20 年集成电路领域技术与管理经验,曾任职于联电(新加坡)(E-mail: zhangyu@hlmc.cn);卞玉洋(1988-),男,上海,博士,上海华力集成电路制造有限公司主任级工程师,长期从事半导体先进制程光刻工艺研发。

gin and producing mechanism of charge on wafer are clarified by a series of experiments. Finally, this issue is improved by modifying development process of lithography.

Key words: Lithography; Surface static electricity; Ultra-thick metal; Critical dimension

0　引言

光刻是微纳器件制备过程中的一个至关重要的环节，特别是在超大规模集成电路的制造中，正是因为光刻设备、材料和工艺的发展，才使得集成电路上的器件能越做越小，芯片的集成度越来越高，单个晶体管的平均造价越来越低[1]。光刻的本质是把电路结构转移到硅片表面的光阻上，再通过其它工艺步骤把图形转移到硅片上，一套完整的集成电路制造流程需要进行多次光刻。光刻工艺的基本流程是首先在晶圆表面涂上一层光刻胶并烘干，随后送入光刻机中曝光，对曝光后的晶圆进行再次烘烤，使得光化学反应更加充分，最后对曝光图形进行显影，显影后，掩膜上的图形就传递到光刻胶上[2]。

光刻后需要对图形关键尺寸进行测量，以达到对产品线宽的准确控制，业界通常采用扫描电子显微镜(CD-SEM)对其进行量测[3-5]。扫描电子显微镜通过发射高能电子到试样表面，激发出二次电子，二次电子是被入射电子轰击出来的核外电子，源自被测样品的表面(深度约几纳米)，可以提供分辨率较高的被测试样表面形貌图像。如图 1 所示是华力 14nm 工艺中 UTM 层关键尺寸的正常 CD-SEM 量测图形，图 1(a)为设计图形，(b)为对应的实际 SEM 图形。

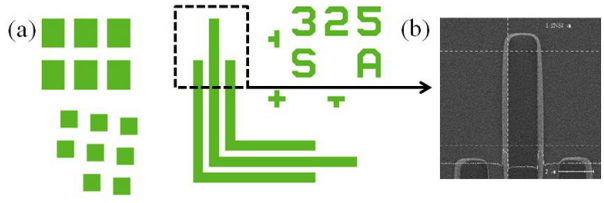

图 1　UTM 层 CD-SEM 量测图形(a)版图设计图形及(b)实际量测图形

Fig. 1 Designed CD-SEM measurement pattern (a) and corresponding SEM image (b) in UTM layer

在 UTM 层 SEM 量测过程中出现晶圆中心位置量测图形位置偏移。利用套刻精度(OVL)、晶圆水平对准测量(Wafer Leveling)、光刻胶旋涂厚度(Photo Resist Coating Thickness)、刻蚀后的检测(After Etch Inspection)等检测手段排除量测图形位置偏移的可能。利用硅片表面电势测量技术(Surface Potential Measurement)证明在光刻过程中出现硅片表面电荷积累现象。硅片表面静电场同 SEM 量测过程中入射电子束相互作用导致 CD 量测问题。本文通过分步实验澄清了硅片表面电荷的来源，阐释了其产生机理，并最终通过优化光刻显影(Develop)程式对硅片表面静电现象进行改善。

1　UTM layer SEM 量测异常描述

在对 UTM 层 CD 的日常工艺监控中，发现 UTM 层时常出现量测异常，具体表现为单个量测图形 CD 数值超出规格，长期 CD 监控数据如图 2(a)所示。查看对应量测图形发现晶圆中心图形量测异常。中心曝光单元量测图形与其它曝光单元量测图形明显不同，在对中心曝光单元进行量测过程中未正确定位到所要量测的图形，如图 2(b)所示。在量测机台稳定的情况下，同一只量测程式应具备在不同曝光单元都可以准确定位到量测目标的能力。由图 2(b)也可以看出，仅中心曝光单元出现量测异常，这表明该量测程式满足正常量测的要求，中心点量测问题和机台及程式稳定性无关。通过将异常量测图形与正常量测图形对比，并结合版图设计图形分析，发现异常量测图形的量测位置向右发生偏移，距正常量测位置约 5μm。异常量测图形所显示的量测区域见图 2(c)和(d)。该现象反复量测均可复现。

图 1(a)所示的量测图形摆放在如图 3(a)所示点状标记标识的五个位置处。正常情况只监测中心位置图形线宽变化。上述分析中量测的图形也对应中心位置量测图形。为澄清量测图形偏移的问题，进一步对图 3(a)五个量测图形进行量测并测量了整片硅片上所有曝光单元，其结果见图 3(b)~(f)。由量测结果可见仅图 3(f)(对应图 3(a)中心量测点)中心曝光单元发生量测图像偏移现象，图 3(b)~(e)中心及其它曝光单元均无量测图像偏移。这表明量测图像偏移现象仅发生于中心曝光单元中心量测点附近的有限区域内。

图 1(a)所示图形为辅助量测图形，仅摆放于不

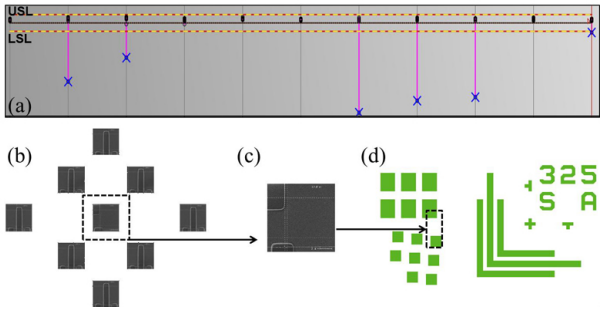

图 2 (a) UTM 层 CD-SEM 量测日常工艺监控趋势图,(b) SEM 量测过程中不同曝光单元捕获的量测图像,(c) 中心曝光单元异常量测图形及(d) 对应版图设计图形区域

Fig. 2 Trend chart of CD-SEM measurement of UTM layer (a), SEM images of different shots (b) and center shot(c), and designed pattern (d)

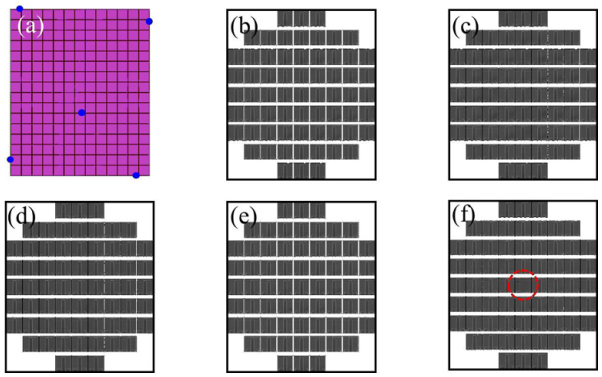

图 3 (a) UTM 层对应图 1(a) 所示量测图形的摆放示意图,(b) 至(f) 分别对应图(a) 中左上、右上、左下、右下及中心的量测图像

Fig. 3 Locations of CD-SEM patterns in a shot (a), and the corresponding top-left (b), top-right (c), bottom-left (d), bottom-right (e) and center (f) full map images

同曝光单元或不同芯片(chip) 结构之间的切割道内。为了锁定量测图像偏移现象发生的区域,在图 3(a) 中心量测图形上方选取芯片内的图形进行量测,量测图形见图 4(a) 和(b)。图 3(a) 还展示了单个曝光单元内 chip 的分布呈 13×16 的阵列。对图 4(a) 所示图形的量测区域涵盖中心曝光单元的所有 chip,量测结果如图 4(c) 所示。可以很清楚地看到图 4(c) 中心区域量测图形发生偏移,发生图像偏移的区域位于中心曝光单元中心区域,半径约 10mm。出于版图数据保密性的考虑,图 4 (a) 部分图形数据信息做了隐藏处理,仅用于表示图 1(a) 所示图形和图 4(b) 量测图形的相对位置关系。

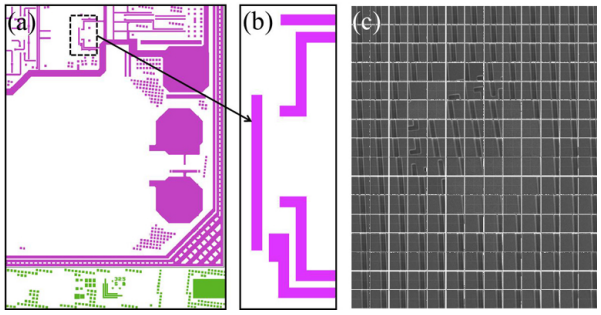

图 4 (a) Chip 内量测图形及其放大图像(b),及对应中心曝光单元所有 Chip 的实际 SEM 量测结果(c)

Fig. 4 Measurement patterns in chip (a), corresponding enlarge part (b) and the SEM image (c)

根据以上分析确定了 UTM 层晶圆中心曝光单元中心区域(半径约 10mm) 的图形在量测时发生量测位置偏移(最大偏移量约 5μm),并会因此导致 CD 量测异常。如此大的偏移如果真实存在必然会造成产品良率的损失,且 OVL 量测也应该能监控到。为了澄清该问题发生的根本原因需要对 OVL、硅片 UTM 光刻前平坦度、光阻厚度、刻蚀后 CD 量测及最终良率结果等进行进一步分析。

2 量测图形偏移现象分析

2.1 工艺条件验证分析

光刻工艺中除了关键尺寸的控制及测量外,另一项衡量光刻工艺是否符合标准的重要指标是套刻精度。套刻精度为当层图形与前层图形的对准要求,只有层层对准才能把前段器件功能通过连线工艺准确地传递出来,否则器件无法工作,将会直接造成良率损失。当然,如果图形存在位置偏移,一定可以通过 OVL 量测监控到。通过查看 UTM 层长期 OVL 数据,图 5(a) 为 x 方向,(b) 为 y 方向,长期结果稳定,无明显异常,OVL 结果可稳定地控制在小于 60nm 的规格内。图 5(c) 和(d) 为 OVL 量测结果的矢量图和对应量测的 OVL 标识光学图片。可以看到中心曝光单元中心点 OVL 结果和其它量测点基本一致,量测标识也可准确捕获,并未出现 5μm 左右的套刻精度误差。

为了验证晶圆中心区域图形量测偏移是否由晶圆平坦度引起,对晶圆平坦度进行了调查。芯片版图中包含各种图形,且后段连线工艺中沉积的膜质也会对硅片的翘曲产生影响,经过层层堆叠到 UTM

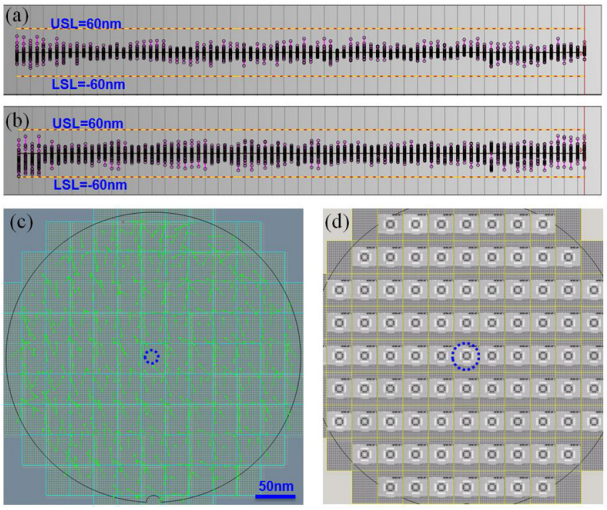

图 5　(a) 和(b) 为 UTM 层长期 OVL 趋势图，(c) 为硅片内所有 OVL 标识的矢量图结果及(d) 对应标识的光学量测图片

Fig. 5 OVL trend chart of UTM layer (a) x direction and (b) y direction, and corresponding OVL map (c) and optical image of OVL mark (d)

层硅片并不平整。在曝光前会对硅片平坦度进行量测，并结合量测结果在曝光时对硅片载片台(Stage)进行调整，以使曝光过程中硅片不同位置均处于最佳焦平面上。图 6(a) ~(c) 分别是 UTM 层硅片平坦度以及中心曝光单元及无量测问题的曝光单元的平坦度结果。从图 6(a) 中可看出整片晶圆的平整度并无异常，平坦度在-0.23 ~0.31μm 范围内。对比图(b) 和(c)，中心曝光单元平坦度(-0.10 ~0.08μm) 和无量测问题的曝光单元(-0.08 ~0.07μm) 相比无异常。

除了前层引起的硅片表面平坦度异常外，光刻胶的旋涂过程也有可能带来中心区域的胶膜厚度异常。光阻旋涂是通过硅片的旋转把滴落在硅片中心的光阻甩开于硅片面内，光阻由中心向边缘铺展开来，通常中心区域和边缘区域胶膜厚度会存在差异。旋涂程式应保证中心区域和边缘区域胶膜厚度差符合工艺要求的规格。图 7 是 UTM 层所用光阻胶膜厚度量测结果，量测过程中沿径向均匀取点。虽然于图 7 上可以看到中心区域和边缘区域胶膜厚度有差(约 20nm)，但此结果在规格内，通常胶膜厚度变化范围的卡控标准为平均值的±1%。应当指出即使中心点平坦度或胶膜厚度异常也无法直接对应图形偏移这一现象，但作为异常调查的一部分还是把结果展示于此。

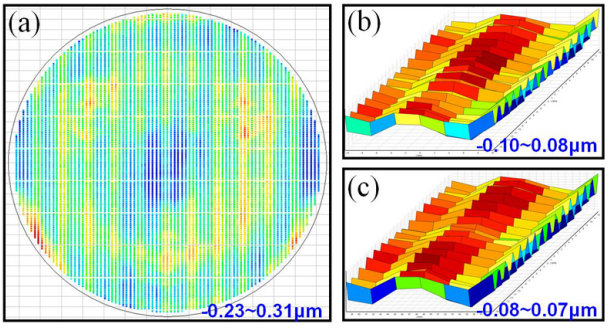

图 6　(a) 整片晶圆平整度二维图，(b) 和(c) 分别为中心 SEM 量测异常曝光单元及无量测异常的曝光单元表面平坦度三维图

Fig. 6 Wafer (a), issue shot (b) and normal shot (c) leveling map

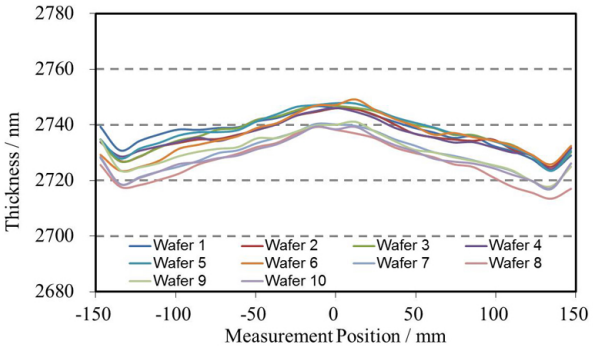

图 7　UTM 层所用光阻胶膜厚度

Fig. 7 Profile of resist thickness used in UTM layer

光刻图形经过刻蚀才能真正传递到硅片上，若上述量测图形位置偏移真实存在，则经刻蚀后也应出现量测异常。图 8(a) 展示了刻蚀后对应图 4(a) 量测图形的量测结果，和图 4(c) 量测图形及量测曝光单元一致。可以看到经过刻蚀并没有发现量测图形的偏移。进一步检查了最终良率结果，如图 8(b) 所示，中心曝光单元无对应区域的良率损失。该结果表明量测过程中出现的图形偏移现象并非由于图形真实位置的偏移导致的，而可能来自 SEM 量测过程中电子束的偏转。

通过前述调查分析，尤其是刻蚀后 SEM 量测结果和良率结果可直接证明光刻后 SEM 量测中心曝光单元中心区域图形偏移的现象不是由实际图形位置偏移导致的。若实际图形无偏移，则有可能是由于量测过程电子束被干扰导致的量测异常。

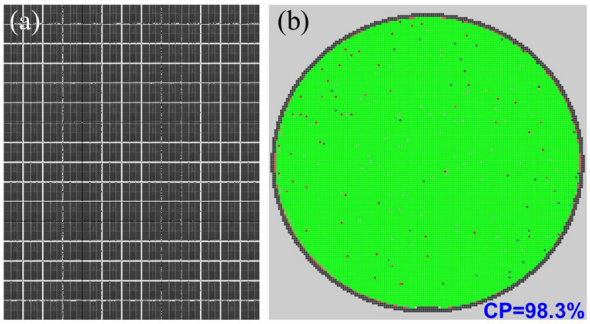

图 8 (a) 对应图 4(c) 刻蚀后量测结果及(b) 量测存在问题的硅片最终良率结果

Fig. 8 AEI CD-SEM measurement map (a) corresponding to Fig. 4 (c) and the CP map (b)

2.2 CD-SEM 量测过程分析

为了说明电子束在 SEM 量测过程中的路径，SEM 设备的结构示意图展示于图 9。电子由电子枪(SEM Gun)激发，激发的电子状态杂乱无章，经过强电场加速，无序的电子获得极高的速度，且电子移动方向也受到电场限制。电子通过电磁透镜组(Condenser Lens)汇聚成孔径角较小的电子束，并在物理狭缝的作用下进一步汇聚。此后电子束再经过偏转和象散的调整(Scan Coils 和 Stigmator)获得均匀性较好的波面和极高的分辨率并入射到晶圆上。电子束轨迹如图 9 中心蓝色入射线所示。如果晶圆表面带静电，则由静电引起的静电场必然会影响电子束的入射轨迹。

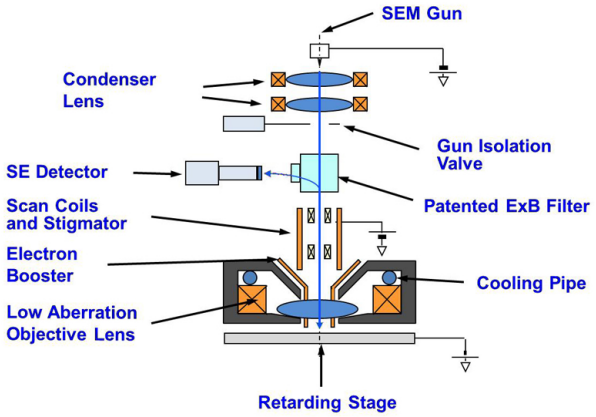

图 9 SEM 量测机台结构示意图

Fig. 9 Illustration of SEM tool

SEM 量测时需要根据工艺条件调整量测电压(Landing Voltage)，该电压非激发电子的加速电压，而是电子束实际到达晶圆量测图形时的电压。在硅片送入 SEM 机台时需要对硅片表面电势进行量测(Surface Potential Measurement)。日立(Hitachi)公司 CG5000 SEM 机台通过在硅片的传输路径上通过安置 SPM 传感器对硅片径向电压进行量测，其装置结构示意图如图 10 所示。SEM 机台会根据硅片表面电势分布调整不同位置的量测电压，以使最终电子束到达不同位置的量测图形的电压相同。

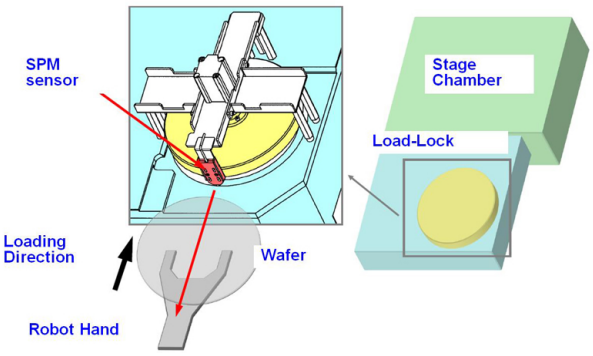

图 10 SPM 装置结构示意图

Fig. 10 Diagram of SPM structure

通过上述 SPM 量测装置对随机选取的不同时间作业的 10 片硅片进行 UTM 层光刻后的硅片表面电势测定，结果如图 11 所示。图中的散点为不同硅片不同位置的电势，蓝色曲线为 10 片硅片不同位置电势的平均值。不同硅片之间测定结果差异不大。从图 11 可以看出，UTM 层光刻后硅片表面电势最低处接近-400V，沿直径方向呈“W”状分布，硅片中心和边缘电势相对较高，而半径约 50 ~ 70mm 处电势较低的状态。由于 SEM 机台理论上可以对硅片上任意位置进行量测，因此每个量测点都要进行电势补偿。日立(Hitachi)公司根据 SPM 量测结果建立硅片表面电势数学模型，如式 1 所示，并据此对不同位置量测电压进行补偿。式(1)中 a、b、c、d 为系数，r 为量测点半径，对应图 11 中横坐标。图 11 中绿色曲线为根据式(1)计算得到的硅片表面电压拟合结果。

$$\text{Surface Potential(V)} = a(r-b)^4 + c(r-b)^2 + d \quad (1)$$

由于 SPM 传感器在直径方向取样点有限，从图 11 可以推测硅片正中心电势最高处要高于-100V，且中心区域电势曲线斜率明显增加，这表明中心区域电场强度增大。利用中心点附近数据可以计算，

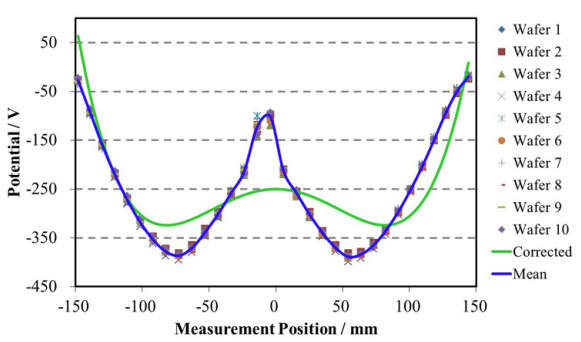

图 11　UTM 层硅片表面电势分布

Fig. 11 Wafer surface potential of UTM layer

中心区域左侧电场 E_{left} 和右侧电场 E_{right} 强度分别为 9.1×10^{3} 和 1.1×10^{4} V/m，此电场强度足可使落入该区域的电子束发生偏转。

物体表面的电荷积累可以通过导电介质传导并消除，集成工艺一般要求硅片光刻前会沉积氮化物和氧化物做介电层，以实现连线或通孔间的绝缘隔离。这即表明 UTM 层表面的电荷积累很难被疏导。光片(Bare Wafer) 通常由单晶硅直接加工而成，表面无薄膜沉积，如果硅片表面有电荷积累，在几百伏(如图 11 所示) 的电压作用下应该可以传导至硅片上。图 12(a) 和(b) 分别展示了光片上直接进行 UTM 光刻工艺后测定的表面电势和中心曝光单元 SEM 图形量测结果，可以发现硅片表面电势相比图 11 有明显改善，表面电势范围在 -5 ~ 5V 之间。SEM 量测结果相比图 3(c) 也无偏移现象发生。此结果直接证明了硅片表面带电现象导致 SEM 量测过程中图像偏移。

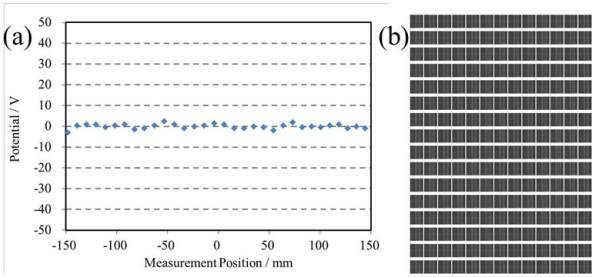

图 12　(a) 无薄膜沉积单晶硅片进行 UTM 光刻后硅片表面带电情况及(b) 中心曝光单元 SEM 量测结果

Fig. 12 Bare wafer surface potential after UTM photo (a) and the SEM measurement map (b)

3　UTM 层 ADI 硅片表面静电来源及消除措施

3.1　UTM 层光刻后硅片表面静电来源

图 13(a) 和(b) 展示了 UTM 前光刻层 ADI 表面电势分布状况。从图 13(a) 可以看出从有源区光刻层(AA: Active Area) 到栅氧层(Poly Gate) 再到后段金属连线层(Mx: Metal) ，以及前段各离子注入层(Implant Layers) 硅片表面电势均在较小的变化范围之内，约 -15 ~ 5V。该结果表明到金属连线层之前(除接触孔层外) 硅片表面带电现象不明显。图 13(b) 展示了中段接触孔层(CT: Contact) 、后段通孔层(Vx: Via) 及远后段超厚通孔层(UTV: Ultra Thickness Via) 的电势分布，约 -45 ~ 25V，该结果表明做孔的光刻层表面电荷积累相对较高。后段金属连线层和通孔层交替进行，连线层的电势整体小于通孔层，这表明在各层次之间电荷无明显逐层积累叠加现象，各层次的电荷积累发生于其对应光刻层。这说明 UTM 层电荷的积累是由该光刻层本身工艺引起的。

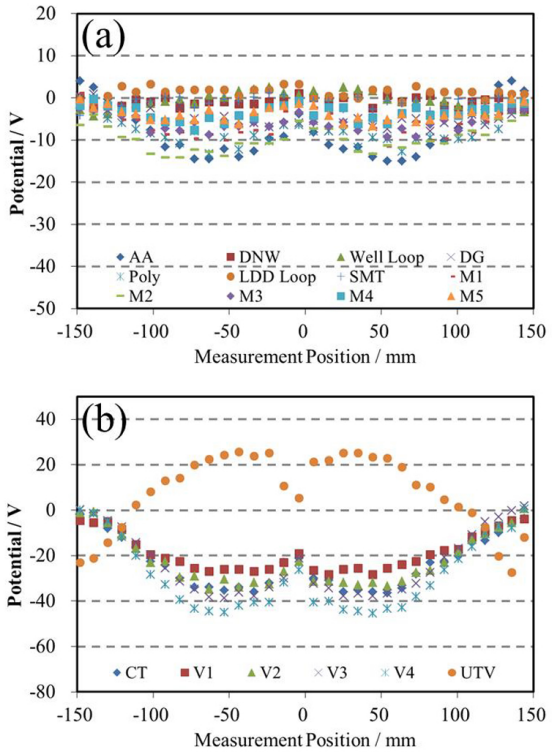

图 13　(a) AA、DNW、Well Loop、DG、Poly、LDD Loop、SMT 和 Mx，以及(b) CT、Vx 和 UTV 各光刻层硅片表面带电情况

Fig. 13 Surface potential of different layers after lithography process

进一步对 UTM 光刻层各环节导致的硅片表面带电现象进行了研究。主要光刻工艺环节包括涂胶(Coating)、曝光(Exposure)、显影(Development)。显影过程可细分为喷显影液使曝光区域有机物溶解过程和喷去离子水使溶于显影液的有机残留去除过程(Rinse)。对上述工艺环节进行拆分实验,用以验证电荷产生的具体工艺环节。分别用光刻前 UTM 硅片、涂胶后的硅片、涂胶后直接 Rinse 的硅片、涂胶后曝光加 Resin 的硅片以及正常进行 UTM 光刻的硅片进行表面电势分析,实验结果展示于图 14。可以看出 UTM 光刻之前和仅涂光刻胶硅片表面基本不带电。涂胶后直接 Rinse 硅片表面电势最低处约-220V,涂胶并曝光后直接 Rinse 硅片表面电势最低处-450V,这两种条件硅片表面电势分布和正常进行 UTM 光刻后硅片表面电势分布一致。

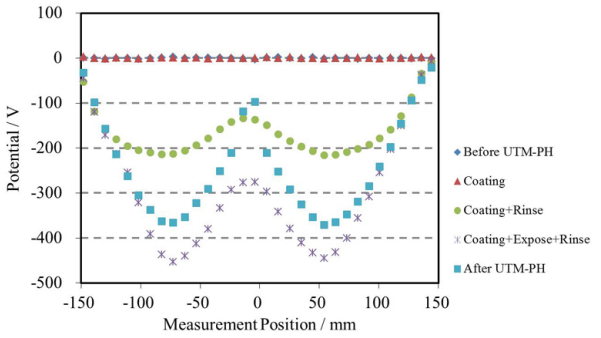

图 14 UTM 光刻前、UTM 硅片涂胶后、涂胶后直接 Rinse、涂胶曝光加 Rinse 及正常 UTM 光刻后不同条件硅片表面带电情况

Fig. 14 Surface potential for different lithography processes in UTM photo

图 15(a)和(b)展示了光刻工艺中显影和冲洗过程。显影过程由长条状喷嘴(LD Nozzle)喷淋显影液,从起始位置移动至结束位置,期间硅片静止。显影液喷淋过程较难产生电荷积累。冲洗过程去离子水喷至硅片中心,同时硅片高速旋转。Rinse 的主要目的是去除溶于显影液中的有机物残留,否则将会产生大量缺陷,严重影响产品良率。去离子水冲洗过程往往伴随硅片高速的旋转(转速变化范围 1000~2500rpm),且时间较长(约 40s)。去离子水长时间以初速度为 0 的状态冲至硅片中心,硅片中心线速度较小,去离子水会和硅片中心区域形成较大的摩擦,在此过程会产生大量的电荷积累[6-7]。

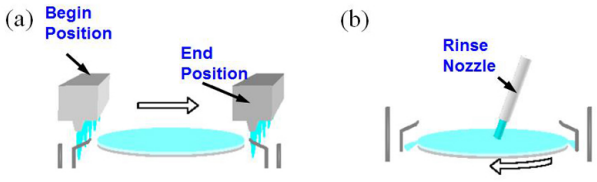

图 15 (a)显影过程中喷涂显影液过程,及(b)喷涂去离子水过程

Fig. 15 Illustration of develop process (a) and rinse process (b)

前述内容有提到硅片在光刻之前要生长不同的膜质,UTM 层主要生长氮化物(约 100nm),之后再生长一层较厚的氧化物(约 3700nm)作为主要的介电材料,最后再生长一层较薄的氧化物或氮氧化物做底部抗反射层(约 70nm),最后旋涂上光阻,具体膜质堆叠如图 16(a)所示。UTM 层用 I-线(365nm 波长)进行曝光,对应光阻材料也为 I-线光刻胶。I-线光刻胶主要成分为聚合物树脂(Resin)、光敏化合物(PAC: Photoactive Compound)和溶剂[1]。图 16(b)是较常用的酚醛树脂结构,由酚醛树脂单体合成。光敏化合物二氮醌(DNQ: diazoquinone)是较常用的光敏材料,其含量约占光阻质量的 20%~50%。在 Rinse 过程中,高电阻率的去离子水(大于 18MΩ·cm)和光阻材料在喷涂区域(通常为硅片中心)高速摩擦,产生的能量使酚醛树脂中的羟基分解,带正电的氢离子进入去离子水中,留下带负电的酚基团[7],如图 16(c)所示。酚醛树脂由于有苯环的存在,理论上可以发生类似于苯的亲电取代反应,并且羟基本身又具备给电子效应,更易发生酚醛树脂的电解,而使其中苯的电子云密度增加。去离子水甩干后使硅片表面带负电。

图 14 可以看到直接在光阻上进行 Rinse 硅片表面电荷积累虽然有明显增加,但仍低于正常曝光后的表面电势。这是因为 I 线光阻的主要反应机理是 DNQ 包裹酚醛树脂,降低酚醛树脂在碱性显影液中的溶解度。DNQ 经过曝光转变为酸,然后与碱性显影液反应,释放出酚醛树脂,酚醛树脂也会溶解于显影液,形成曝光后的图形,其反应机理如图 16(d)所示。涂胶后直接 Rinse,由于酚醛树脂受 DNQ 保护,表面电势还不能达到正常光刻后的表面电势水平。由涂胶曝光后 Rinse 的实验结果可以看到,经过曝光后再 Rinse 硅片表面电势最低处达到-450V,

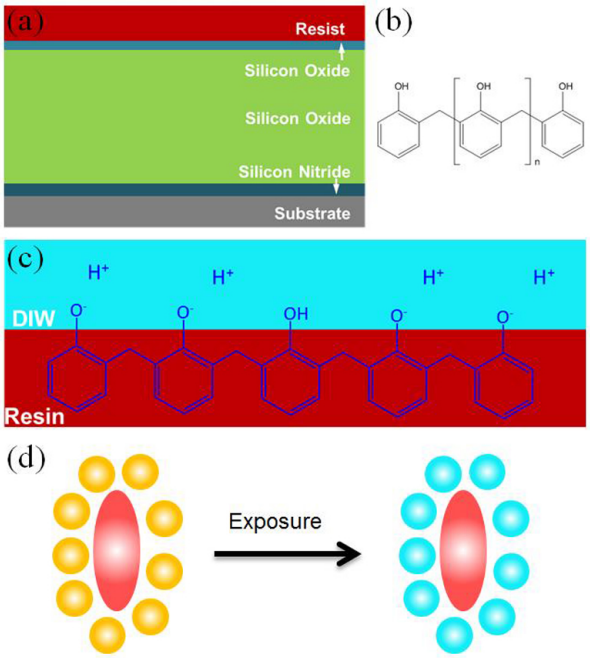

图 16　(a) UTM 层膜质堆叠示意图，(b) I-Line 光刻胶主要成分，(c) 酚醛树脂 Rinse 过程中去氢离子示意图及(d) 光阻反应机理图

Fig. 16 Film stacks of UTM layer (a), the main composition of I-Line resist (b), schematic diagram of the reaction during rinse process (c) and mechanism diagram of exposure

甚至低于正常进行 UTM 光刻的-370V。显影过程中酚醛树脂会溶于碱性的显影液，消耗部分羟基，因此经过显影后硅片表面电势反而会略微升高。

为了改善 UTM 层光刻后硅片表面带电现象，对 Rinse 过程进行调整，冲洗时间不变，把原先的转速由 2500rpm 调整至 1500rpm。测定硅片表面电势并进行 SEM 量测，结果如图 17(a) 和(b) 所示。可以看到转速为 1500rpm 硅片表面电势最低约-180V，硅片面内电势波动范围约 200V，而 2500rpm 转速对应的电势波动范围接近 400V。降低 Rinse 转速可显著改善硅片表面的带电状况，且硅片中心区域电势变化平缓，该电势分布情况也较易实现公式(1) 所示的 4 次多项式函数拟合。

硅片中心区域电势分布趋于平坦，这表明中心区域沿直径方向的电场强度近似为 0，因此不能使入射到中心区域的电子束发生偏折。这一结果也和图 17(b) 所示 SEM 量测结果一致，降低 Rinse 转速后 SEM 量测过程中中心曝光单元中心区域的图像偏移现象消失。上文提及的硅片表面电势均呈

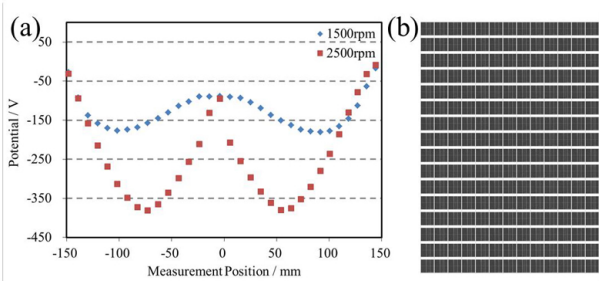

图 17　(a) 对应不同 Rinse 转速硅片表面电势及(b) 对应转速 1500rpm 硅片中心曝光单元 SEM 量测结果

Fig. 17 Surface potential for different spin speed of rinse (a) and the SEM image for speed of 1500rpm

“W”形，这应该与 Rinse 过程中去离子水的喷涂位置及硅片转速有关[8]，该现象需要进一步研究。

3.2　硅片表面静电现象对半导体各工艺环节的影响

硅片表面电势积累对半导体各工艺环节均会有影响，具体如表 1 所示。除了上文提到的表面电势干扰入射电子引起电子束偏折，导致无法定位量测图形，在 SEM 量测过程中另一常见现象为表面带电硅片影响电子束波面引起象散，使量测图形不清晰，引起量测误差。在 Rinse 过程中如果转速过高，表面异常高的电势还有可能造成光阻或底层氧化物的击穿现象(Arcing)，直接导致产品报废，通常显影工艺会限定 Rinse 的最高转速。刻蚀和离子注入工艺会用到等离子体或带电离子，这些粒子均带电，同样会受到硅片表面电势的影响。等离子体或注入离子的不均匀将会导致刻蚀后关键尺寸分布不均匀或者离子注入的深度和剂量不均匀，将会直接影响器件性能。值得注意的是离子注入的深度和剂量均匀性并不容易进行检测，往往到最终电性能测试或良率测试阶段才可以发现。

表 1 硅片表面带电现象对半导体各工艺环节的影响

Table 1 Effects of wafer surface potential to different processes

工艺环节	作用机理	可能结果
光刻	• 表面电势干扰 SEM 量测过程中的入射电子 • 表面电压过高引起的放电	• 电子束偏折导致无法定位量测图形，见本文实例 • 电子束波面变化引起象散，量测图形模糊，多发生于后段通孔层(Vx)[8] • 放电导致的光阻或底层氧化物击穿
刻蚀	表面电势干扰刻蚀等离子体	• 引起硅片面内等离子体的分布不同，造成面内关键尺寸不均匀 • 影响器件性能
离子注入	表面电势干扰掺杂离子的注入	• 引起硅片面内离子注入剂量和注入深度不均匀 • 影响器件性能[9]
缺陷分析	静电吸附	• 静电吸附机台腔体的颗粒[10]

为了改善硅片表面带电现象许多新的工艺被提出。涂胶显影机台厂商尝试把二氧化碳溶入去离子水，二氧化碳呈弱酸性，加入二氧化碳可大幅降低去离子水的电阻，约从 18MΩ. cm 降至 1MΩ. cm，提高了去离子水的导电性[11-12]。另一方面，去离子水中氢离子的浓度提高还会抑制羟基的电离，进一步降低 Rinse 过程中的电荷积累。CD-SEM 厂商为了减轻表面带电对量测电子束的干扰可以根据硅片带电情况调整入射电压。另一方面，CD-SEM 机台可以加装去电子干扰组件，通过往硅片表面注入轻量离子消除硅片表面带电现象。Y. Hayashi[13] 提出用蒸馏氢氧化铵处理硅片表面，同样取得较理想的减轻硅片表面带电结果。

4 结论

本文从 SEM 量测时发生量测目标偏移，图像无法正常捕获现象着手，比较系统而全面地研究了光刻过程中硅片表面带电现象，并提出改进措施。Rinse 过程中去离子水在光阻表面旋转冲洗，两者之间不可避免会产生摩擦。光阻中主要成分酚醛树脂中的羟基部分解离为酚基和氢离子。氢离子进入去离子水中，而酚基留在光阻基体上，使光刻后的硅片表面带负电。在远后段超厚金属连线层光刻后硅片表面电势最低处达到约-400V，由于硅片表面电势分布不均匀，沿硅片径向存在一定强度的电场。在 SEM 量测过程中落入该区域的电子束会发生偏转，引起量测误差。对不同层次光刻后硅片表面电势进行分析，发现做孔洞的层次带电现象要比连线层强，光刻后硅片表面带电为普遍现象，但不同层次之间有差异。通过降低 Rinse 过程中硅片转速可改善硅片表面带电现象。

最后总结归纳了硅片表面带电现象对半导体制造各工艺环节有可能产生的影响及潜在风险，以及为了消除或减弱硅片表面带电现象业界提出的各种设备改造或工艺改进措施，以期彻底消除光刻后硅片表面带电现象。

参考文献：

[1] 韦亚一. 超大规模集成电路先进光刻理论与应用(2016 版)[M]. 北京: 科学出版社, 2016.

[2] 张汝京等. 纳米集成电路制造工艺(2017 版)[M]. 北京: 清华大学出版社, 2017.

[3] Kiyoshi Takamasu, et al. Line Profile Measurement of Advanced-FinFET Features by Reference Metrology. Proceedings of SPIE, Vol. 9424 (2015)

[4] AndrewHabermas, et al. 193nm CD shrinkage under SEM: modeling the mechanism. Proceedings of the SPIE, Vol. 4689 (2002)

[5] Benjamin Bunday, et al. Phenomenology of ArF Photoresist Shrinkage Trends. International Symposium on Semiconductor Manufacturing (ISSM), (2002): 3-6.

[6] 单忠飞. 消除 Trench MOS 表面静电的光刻工艺改进. 上海交通大学硕士学位论文(2010).

[7] David S. L. Mui, et al. Wafer Surface Charging Model for Single-Wafer Wet-Spin Processes. IEEE Transactions on Semiconductor Manufacturing, Vol. 24 No. 4 (2011): 552-558

[8] Markus Junk, et al. Simulations of Liquid Film Flows with Free Surface on Rotating Silicon Wafers. Proceedings of the 10th International Conference on Modeling and Applied Simulation, Rome (2011)

[9] Qiang Zhang, et al. Study of CDSEM Measurement Issue Caused by Wafer Charging. China Semiconductor Technology International Conference (CSTIC), Shanghai (2015): 1

-3

[10] K. Höppner, et al. Novel In-line Inspection Method for Non-Visual Defects and Charging. Advanced Semiconductor Manufacturing Conference, Berlin (2009): 178-183

[11] Truman S. Light, et al. The Conductivity of Low Concentrations of CO_2 Dissolved in Ultrapure Water from 0-100℃. 209th American Chemical Society National Meeting, Anaheim, CA (1995)

[12] Yu-Hsi Wang, et al. Method for Reducing Wafer Charging During Drying. US20060115774A1

[13] Y. Hayashi, et al. Effects of Diluted-NH_4OH as Conductive Rinse Water in Single Wafer Cleaning Processes. ECS Transactions, Vol. 69 No. 8 (2015): 37-43