文章编号: 1007 - 4252(2020)02 - 0002 - 113

IP 交换交易中的 IP 质量测评方法研究

徐步陆
(上海硅知识产权交易中心有限公司,上海 200030)

摘要: IP 复用在集成电路 SoC 设计中已广泛应用,但选择合适 IP 一直是芯片设计项目启动时的难点。基于不同的侧重面,IP 质量测评有主观质量评测、功能性评测、商业第三方测评等多种方法,均各有优势和局限。本文侧重 IP 交换交易过程中的 IP 选择策略,研究比较了相关 IP 测评度量方法,开发了 IP 质量测评度量软件工具,提高了测评效率,并通过一款第三方的高速多通道串行接口 10Gbps Serdes IP 核作为实施例加以实证。

关键词: IP 交换交易; 设计与验证质量; 测评; 片上系统
中图分类号: TP3 **文献标志码:** A

The Research of IP Quality Evaluation Method in IP Exchange

Xu Bulu
(Shanghai Silicon IP Exchange Center Ltd., Shanghai 200030)

Abstract: IP reuse is applied in IC design widely. However, it is still difficult to select a right IP in the starting an IC design project. Based on different value points, silicon IP quality evaluation methods are various, such as the subjective quality evaluation, the functional quality evaluation, and the business 3rd party quality evaluation. Each method has its own advantages and limitations. Considering the IP selecting strategy in IP exchange process, relative IP quality evaluation methods are compared and researched in this paper. And an IP quality evaluation software is developed, therefore the IP evaluation efficiency is improved. And this method is applied and tested in the 10 Gbps Serdes IP quality evaluation from a third party.

Key Words: IP exchange, design and verification quality, evaluation, SOC(System on Chip)

0 引言

高性能、高集成度的 SoC 单芯片解决方案,已经在移动通信、物联网、人工智能和计算机等诸多大宗集成电路产品中得到广泛应用[1,2]。最新的代表性产品之一是 2019 年 8 月 Cerebra 公司公开的 Wafer Scale Engine 人工智能芯片,它采用了台积电 16nm 制造工艺,芯片面积 46225 平方毫米,具有 40 万个计算内核。复杂 SoC 对 IP 核供给提出了日益复杂

收稿日期: 2020-04-05; 修订日期: 2020-05-03
基金项目: 工业和信息化部知识产权推进计划资助项目(GZF07-2019)。
作者简介: 徐步陆(1974-),男,副研究员,研究方向为集成电路知识产权 IP 核研发与交易; E-mail: blxu@ssipex.com。

的需求和挑战，故 IP 研发愈加受到重视、产业逐渐独立成行。全球 IP 核的销售交易额从 1998 年的 3.6亿美元增长到了 2019 年 39 亿美元。在全球最大 IP 检索网站 www.design-reuse.com 上现有 450 家供应商的 16000 个 IP 交换信息。囿于芯片性能、功耗、面积、成本、工艺、周期等复杂设计开发边界约束条件，有效选择或开发一款合适的 IP 核长期都是工程开发团队需要面对的首要问题之一[3]。

IP 核质量测评一直是 IP 选择的核心要素，在过去 20 年中相关国内外标准组织、研究机构与工业界开展了大量的工作。国际上为 IP/SoC 制定标准的主要组织和联盟先后有 IEEE 国际标准化组织、VSIA、OCP-IP、SPIRIT 等，它们完成了 IEEE1500、1687、QIP 等标准和指南开发工作。国内的 IP/SoC 标准主要的制定者是工信部集成电路 IP 核标准工作组等机构，制订了 SJ/Z11352-2006《集成电路 IP 核测试数据交换格式和准则规范指导性文件》、SJ/Z11353-2006《集成电路 IP 核转让规范指导性文件》等系列规范以及 GJB7715-2012《军用集成电路 IP 核通用标准》。围绕 IP 测试的规范化和自动化，Synopsys、Mentor 等 EDA 公司协助出版的《片上系统——可重用设计方法学》一书较早的论述了 IP 核综合、验证指南。之后的研究工作不断延续，如专注于研究 IP 核测试验证方案与优化、系统性测试优化、自测试及其测试复用和测试集成与优化的 ATE 测试验证方案研究[4]，又如采用 AMBA 总线 VIP 模型，开发图形界面应用程序，实现 IP 核总线挂载以及功能评测自动化的研究[5]，最终目的都是促进 IP 的复用、交换、交易。

1 评测方法与选择

整体而言，IP 质量测评可分为三大类：第一类是主观质量评测，重点是采用度量工具测评 IP 文档质量，例如设计文档的完备性、验证材料的规范性[6]；第二类功能性评测，重点是采用 EDA 工具测评 IP 的功能性，例如基于总线的 IP 兼容性验证[7]；第三类商业第三方的测评，重点是采集用户记录测评 IP 的成熟度，有量产记录的 IP 为优，例如中芯国际网站公布的根据 IP 量产程度作为 IP 成熟度的方法。

通常 IP 供应商主动提供第二类功能性评测数据，包括硅验证的流片实测数据，FPGA 原型验证数据。虽然功能性评测方案与 IP 真实使用时的环境会有所细微差异，如 die 封装中不可避免的带入一些噪声，但测评结果基本可以用于 IP 性能选型。第三类商业第三方测评采用了客户产品验证或 SoC 量产产品验证，虽然不可避免的囿于 Foundry 晶圆代工厂品牌、以及 IP 导入 Foundry 工艺制程时的各种限制因素而不能足够全面客观，但也能很大程度上有力佐证了 IP 的有效性。因此在实际的 IP 交易选择中，在考虑到第二类功能性评测、第三类商业第三方测评后，重心就落在了第一类主观质量评测上，特别是对一些小规模 IP 供应商的 IP 和一些新上市的 IP 就变得尤为重要。

本文将采用主观质量评测方法，采用了上海硅知识产权交易中心的 SSIPEX IP 质量测评度量工具。该工具借鉴了国家集成电路 IP 核标准工作组制订的系列标准规范定义，参考并完善了 VSIA 的 Quality IP(QIP) Metric 等行业，通过设置相对科学、可行的测评因子，能够 IP 质量测评相关因子分值自动计算测评积分，普遍适用于数字 IP、模拟 IP、嵌入软件及验证 IP。

2 评测实施与实(施)例

2.1 评测实施

SSIPEX IP 质量测评度量工具从 IP 集成商的角度考虑 IP 复用的简易性，从文档质量和集成的简易性两方面进行了设计。文档质量 I 方面考虑的因子包括 IP 综合手册 i1、硬件参考手册 i2、程序员参考手册 i3、版本记录文档 i4 等。集成的简易性 J 方面考虑的因子包括可配置性和参数化 j1、构造平台 j2、可移植性 j3、可扩展性 j4、系统级建模 j5、应用程序编程接口 j6、硬件接口 j7、综合的简易性 j8、产品测试 j9、模块级自测试验证平台 j10、SoC 验证辅助平台 j11 等。

SSIPEX IP 质量测评度量工具从 IP 开发商的角度考虑了设计与验证质量，从设计质量内部设计文档、设计细节和验证质量等三方面进行了设计。设计质量内部设计文档方面考虑的因子包括产品简介 m1、项目计划 m2、系统需求文档 m3、设计说明文档 m4、验证规范文档 m5、质量检查文档 m6、IP 库提交清单 m7 等。设计质量设计细节方面考虑的因子包括系统工程 n1、综合设计 n2、嵌入存储器 n3、时钟域 n4、复位准则 n5、代码注释 n6、设计风格 n7、脚

本 n8、测试及生产设计 n9 等。验证质量方面考虑的因子包括覆盖率 w1、信息传递 w2、终止 w3、配置 w4、数据产生 w5、协议校验 w6、验证复位处理 w7、验证的组建和平台 w8、过程检测清单 w9 等。可以使用公式(1)计算和报告接受评估的 IP 的分数:

$$Score = \sum_{i=1}^{i} S_i + \sum_{j=1}^{j} S_j + \sum_{m=1}^{m} S_m + \sum_{n=1}^{n} S_n + \sum_{w=1}^{w} S_w \quad (1)$$

其中: i=4,j=11,m=7,n=9,w=9

在以上测评(评级)度量过程,实际评分方案的选择可进一步划分为强制(Imperative)、规则(Rule)、指导(Guideline)等不同的量级,并对每一个质量度量问题根据其重要程度决定其权重。一种推荐的权重参数设定可以是 "满足"条件下,上述四种量级赋权为 10、5、1; "不满足"条件下,上述四种量级赋权为-10、0、0 或均置 0。一些情况下,还可以通过设置优选(Optional)、基本(Base)等更细计算粒度的补偿。

因此,可以进一步采用公式(2)计算和报告接受评估的 IP 的分数

$$Score = \sum N_{imperative_i} \times W_{imperative_j} + \sum N_{imperative_i} \times W_{imperative_j} + \sum N_{rule_i} \times W_{rule_j} + \sum N_{rule_i} \times W_{rule_j} + \sum N_{guideline_i} \times W_{guideline_j} + \sum N_{guideline_i} \times W_{guideline_j} + \sum N_{optional_i} \times W_{optional_j} + \sum N_{optional_i} \times W_{optional_j} \quad (2)$$

其中: $N_{imperative_i}$是 Imperative 质量度量问题满足的数量;

$W_{imperative_j}$是 Imperative 质量度量问题满足的权重;

$N_{imperative_i}$是 Imperative 质量度量问题不满足的数量;

$W_{imperative_j}$是 Imperative 质量度量问题不满足的权重;

N_{rule_i}是 Rule 质量度量问题满足的数量;

W_{rule_j}是 Rule 质量度量问题满足的权重;

N_{rule_i}是 Rule 质量度量问题不满足的数量;

W_{rule_j}是 Rule 质量度量问题不满足的权重;

$N_{guideline_i}$是 Guideline 质量度量问题满足的数量;

$W_{guideline_j}$是 Guideline 质量度量问题满足的权重;

$N_{guideline_i}$ is 是 Guideline 质量度量问题不满足的数量;

$W_{guideline_j}$是 Guideline 质量度量问题不满足的权重;

$N_{opyional_i}$是 Optional 质量度量问题满足的数量;

$W_{optional_j}$是 Optional 质量度量问题满足的权重;

$N_{optional_i}$是 Optional 质量度量问题不满足的数量;

$W_{optional_j}$是 Optional 质量度量问题不满足的权重;

2.2　实(施)例

接口 IP 是 SoC 芯片设计中最具代表性的一类 IP,也是当前市场上技术难度最高和交易程度最活跃的 IP 之一。本文采用 SSIPEX IP 质量测评度量工具,通过"一款 10Gbps Serdes 高速多通道串行接口 IP 核"进行实施例分析。IP 研制单位——清华大学某 863 项目课题组,提供了《移动智能终端 SOC 存储控制器 IP 核》课题技术报告、SSDC v3.14 设计及测试文件、PCIe-ssd 控制演示视频.mp4 等测评基础材料。这款 IP 采用前向时钟构架实现 5 通道高速串行接口,发送端工作速率为 5-10Gbps,接收端 5-10Gbps 可调,其基本功能为实现 5 路总线宽度为 32bits 的并行数据的串行化传输。其典型应用环境为服务器 CPU 间的数据通讯及通讯节点上的数据交换(switch)。研制单位已按照第二类功能性评测还提供了《10Gbps 高速多通道串行接口 IP 核评测报告》,IP 硬核测试环境是 Xilinx Vivado,使用 model sim 语言。本文重点对 10Gbps 高速多通道串行接口 IP 核的软核代码进行了评测度量。下表是"设计和验证质量"在评测"验证质量"部分有关"覆盖率评测"过程时的节选示例。

表 1　　覆盖率评测表(节选)

Table 1　A sheet sample of coverage qualification

描述	评估	得分	份量	重要性
设计 & 验证质量(IP 开发商的角度)		363		
验证质量		199		
覆盖率(Coverage)		26		
对于所有的可综合语句来说,行覆盖率是否达到了 100%	y	5	1.0	Rule
判断/分支覆盖率是否达到 100%	Y	5	1.0	Rule
有限状态机状态转换覆盖率是否达到 100%	Y	5	1.0	Rule
表达式/条件覆盖率是否达到 100%	Y	5	1.0	Rule
路径覆盖率是否超过 75%	Y	1	1.0	Guideline
是否每一个实例测试都无错的执行了?	y	5	1.0	Rule

参照使用公式(1)和公式(2)进行计算和换算，SSIPEX IP 质量测评度量工具给出的设计和验证质量(IP 开发商的角度)分值为 329 分，设计和验证质量(IP 开发商的角度)分值为 363 分。其中表明该 IP 的文档质量(130 分)和集成容易程度(199 分)尚可，IP 的设计质量(164 分)和验证质量(199 分)亦尚可，均属于中等层次。

IP 研制单位认同此测评方案和评测结果。

3 结论

IP 核质量具有多种维度，因此评测具有多种度量方式。本文采用的评测度量方法，更多的站在 IP 交易供给侧与复用集成侧的角度，重点从 IP 的文档质量、集成容易程度、设计质量和验证质量方面进行了评测方案的设计，并以一款 10Gbps Serdes 高速多通道串行接口 IP 核进行实例测试。在未来积累了大量 IP 核测评数据结果后，可结合大数据分析进一步对 IP 质量测评度量方法和工具进行优化完善，最终一定程度上实现不同类型 IP 集群内部 IP 质量的客观评价，进而加速大规模 IP 复用的工程化、商业化。

致谢：感谢上海交通大学微电子学院何卫峰副教授对 IP 质量测评度量工具实现的支持。

参考文献：

[1] 郭炜，魏继增，郭筝，等.SoC 设计方法与实现[M]. 第三版.北京.电子工业出版社.2017.328

[2] Abdoulayé Gamatie，Guillaume Devic，Gilles Sassatelli，etc. Towards Energy-Efficient Heterogeneous Multicore Architectures for Edge Computing，[J].IEEE Access，2019，7.

[3] 徐步陆，邵博闻，林霞，等.Design and verification of a 10-bit 1.2-V 100-MSPS D/A IP core based on a 0.13-μm low power CMOS process [J].半导体学报，2010，09：103-107.

[4] 罗斌 IP 核测试验证技术研究与应用[J]. 集成电路应用，2018，35(12)：19-23.

[5] 赤诚，肖立伊，李杰. 基于 VIP 模型的 IP 核自动化评测平台开发[J].微电子学与计算机，2018，35(2)；41-50.

[6] 马娟，陈岚，冯燕，等. 用于 SoC 集成的 IP 核质量评测方法研究[J].微电子学.2014，44(4)：555-558.

[7] 马昕煜，徐瀚洋，王健.SOC 嵌入式数字 IP 核通用测试方法[J].微电子学与计算机，2019，36(2)：26-30.