文章编号: 1007-4252(2025)05-0379-08 DOI: 10.20027/j.gncq.2025.0048 CSTR: 32180.14.j.gncq.2024.0048

基于异构集成的 MRAM 设计及应用

赵国强[1,2], 赵 毅[1,2,*]

（1. 浙江大学信息与电子工程学院, 杭州 310027; 2. 华大半导体有限公司, 上海 201210）

摘要: 在后摩尔时代,“内存墙”与“功耗墙”双重瓶颈制约着电子系统性能的提升。磁随机存取存储器(magnetoresistive random access memory, MRAM)凭借其非易失性、高集成密度以及与互补金属-氧化物-半导体(complementary metal-oxide-semiconductor, CMOS)工艺的良好兼容性, 成为突破上述性能瓶颈的核心候选器件; 而先进封装技术通过高密度互连, 为MRAM与异构单元的高效融合提供了关键物理基础。系统梳理重布线层(re-distribution layer, RDL)、微凸点(μbump)、混合键合(hybrid bonding, HB)及硅通孔(through-silicon via, TSV)等先进封装技术类别及其特性, 聚焦 CMOS 图像传感器、移动片上系统(system-on-chip, SoC)和计算架构三大典型应用场景, 深入剖析基于异构集成的 MRAM 设计方案, 旨在为 MRAM异构集成提供理论与实践参考, 并推动其在智能成像、高性能计算等领域的产业化应用。

关键词: 磁随机存取存储器; 异构集成; 先进封装

中图分类号: TN405 **文献标志码:** A

Design and applications of MRAM based on heterogeneous integration

ZHAO Guoqiang[1,2], ZHAO Yi[1,2,*]

(1. College of Information Science & Electronic Engineering, Zhejiang University, Hangzhou 310027, China; 2. Huada Semiconductor Co., Ltd., Shanghai 201210, China)

Abstract: In the post-Moore Era, the dual bottlenecks of the "Memory Wall" and "Power Wall" constrain the performance enhancement of electronic systems. Magnetoresistive random access memory (MRAM), with its non-volatility, high integration density, and compatibility with complementary metal-oxide-semiconductor (CMOS) processes, has emerged as a key candidate device to overcome these performance limitations. Additionally, advanced packaging technologies, through high-density interconnections, provide a physical foundation for the efficient integration of MRAM with heterogeneous components. This paper systematically reviews the classifications and features of advanced heterogeneous integration technologies, including redistribution layer (RDL), microbump (μbump), hybrid bonding (HB), and

收稿日期: 2025−09−23; **修订日期:** 2025−10−23

基金项目: 新一代人工智能国家科技重大专项 (No. 2020AAA0109001).

作者简介: 赵国强(2000—), 男, 博士研究生, 主要研究方向为先进封装设计、仿真和工艺(E-mail: gq_zhao@zju.edu.cn).

通信作者: 赵 毅(1977—), 男, 博士, 教授, 主要研究方向为新沟道材料及纳米 CMOS 器件 (E-mail: yizhao@zju.edu.cn).

through-silicon via (TSV). It focuses on three typical application scenarios — CMOS image sensors (CIS), mobile system-on-chips (SoCs), and computing architectures, and provides an in-depth analysis on the design schemes of MRAM based on heterogeneous integration. This study aims to offer theoretical and practical guidance for MRAM heterogeneous integration and to promote its industrial application in fields such as intelligent imaging and high-performance computing.

Key words: magnetoresistive random access memory (MRAM); heterogeneous integration; advanced packaging

0 引言

在后摩尔时代，互补金属-氧化物-半导体（complementary metal-oxide-semiconductor, CMOS）工艺的维度缩放逐渐逼近物理极限，电子系统性能的提升受到“内存墙”与“功耗墙”的双重制约。传统存储方案已难以满足日益增长的需求：静态随机存取存储器（static random-access memory, SRAM）存在密度低和静态泄漏功耗高的问题，动态随机存取存储器（dynamic random-access memory, DRAM）因需持续刷新而动态功耗较高，嵌入式闪存（eFlash）则存在读写速度慢和耐久性差的问题。这些缺点导致上述方案均无法适配内存密集型应用对大容量、低功耗及高频交互的要求。

磁随机存取存储器（magnetoresistive random access memory, MRAM）因其非易失性、高集成密度以及与 CMOS 工艺的良好兼容性，成为突破上述瓶颈的核心候选器件[1-2]。不同存储器技术性能的对比如表 1 所示。然而，在 2D 集成架构中，MRAM 的后端金属结构中往往存在布线拥挤的问题，从而增加了制造复杂度与成本。先进封装技术通过高密度互连可实现布局重构，为 MRAM 与异构单元的高效融合提供了物理基础。

表 1 不同存储器技术性能对比

Table 1 Performance comparison of various memory technologies

性能指标	SRAM	DRAM	eFlash	MRAM
非易失性	无	无	有	有
静态功耗	高	中	极低	极低
耐久性/次	无限	无限	10^4~10^7	10^9~10^{12}
写速度/ns	<1	1~10	10^5	1~100
存储密度	低	高	低	高

目前，尚缺乏对于先进封装技术与 MRAM 异构集成的系统性梳理。为此，本文首次将重布线层（re-distribution layer, RDL）、微凸点（μbump）、混合键合（hybrid bonding, HB）及硅通孔（through-silicon via, TSV）等 4 类先进封装技术的工艺特性与 MRAM 的磁性能需求深度关联，进一步聚焦 CMOS 图像传感器、移动片上系统（system-on-chip, SoC）、计算架构三大典型领域，解析 MRAM 异构集成方案，分析这 4 类技术在 MRAM 集成中面临的核心挑战，并提出有针对性的优化方向，为 MRAM 异构集成的理论研究与产业化应用提供参考。

1 先进封装技术

1.1 重布线层（RDL）技术

RDL 是支撑 2.5D/3D 封装的关键互连技术，其核心结构为多层金属布线（线宽通常为 1.5~10.0 μm）。这一技术能够实现芯片原始 I/O 位置的重定义，并可搭建不同芯片模块间的电气通路。目前，RDL 的制备主要有半加成工艺、先通孔后大马士革工艺以及先大马士革后通孔工艺等 3 类工艺路径[3]，具体流程如图 1 所示。

扇出（fan-out）封装是 RDL 最关键的功能场景之一，其核心价值在于突破芯片 I/O 物理位置的限制。在大多数芯片设计中，I/O 接口通常集中于边缘，直接封装易受引脚数量与布局的制约；而 RDL 通过金属布线将原始 I/O 扩展至更大的平面，重新规划 I/O 位置，从而为多芯片异构集成提供了灵活的空间，使不同功能的芯片模块能够通过扇出后的 RDL 实现近距离互联，达到降低信号延迟的效果。图 2 展示了 RDL 在扇出型封装中的应用[4]。

1.2 微凸点（μbump）技术

微凸点（μbump）是先进 2.5D/3D 集成电路封装

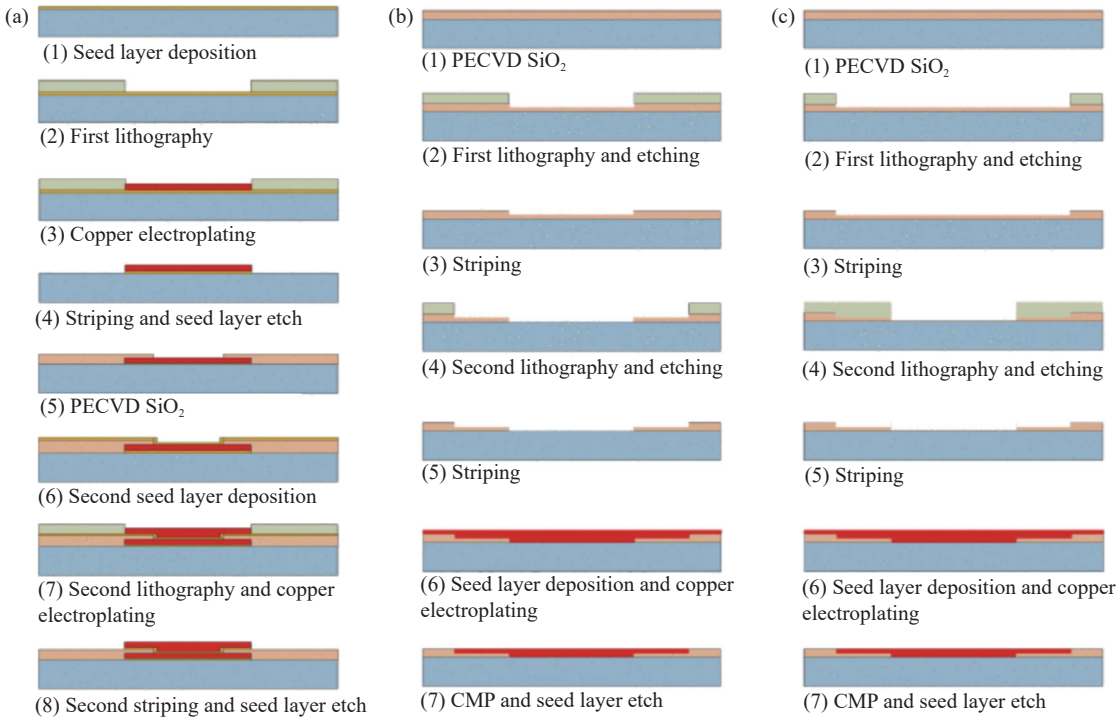

图 1　采用不同工艺流程的多层重布线层: (a) 半加成工艺; (b) 先通孔后大马士革工艺; (c) 先大马士革后通孔工艺[3]

Fig. 1　The multi-layer RDL utilizing distinct process flows. (a) Semi-additive process; (b) dual damascene process with via first; (c) dual damascene process with via last[3]

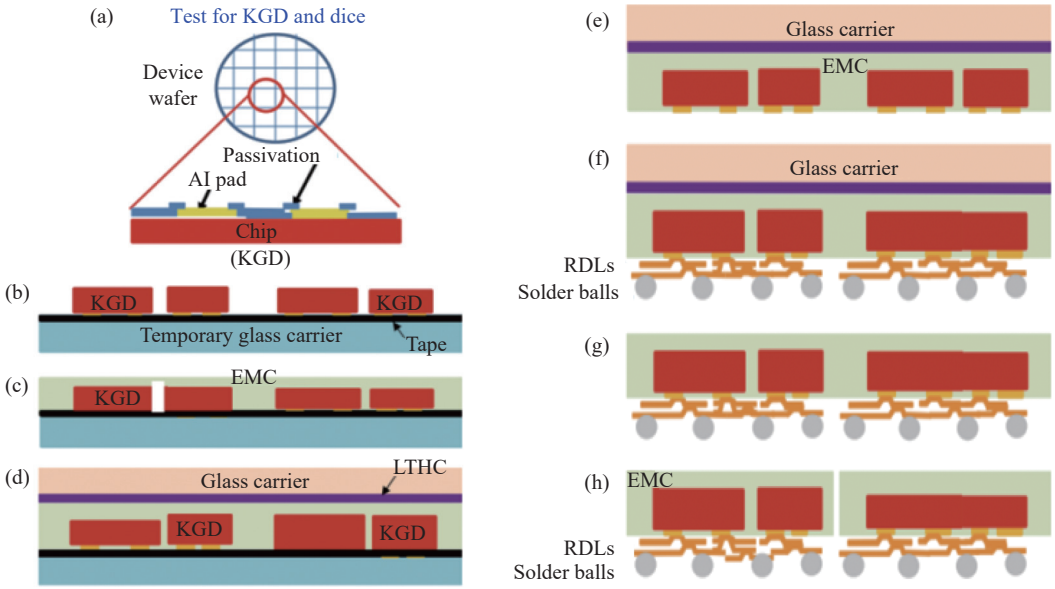

图 2　扇出型 RDL 的芯片优先(芯片面朝下)关键工艺流程。(a) 已知合格芯片(KGD)结构示意图; (b) 将 KGD 贴装于载板上的双面热释放胶带; (c) 使用干膜型环氧塑封料(EMC)进行层压, 使其处于凝胶态(100 ℃, 30 min); (d) 将带有激光解键合(LTHC)层的玻璃载板贴附于凝胶态 EMC 重构晶圆的背面, 随后进行预固化(130 ℃, 60 min); (e) 移除临时载板并剥离热释放胶带, 随后对 EMC 进行最终固化(180 ℃, 90 min); (f) 制作 RDL 并安装焊球; (g) 激光解键合玻璃载板; (h) 切割 EMC 重构晶圆[4]

Fig. 2　Chip-first (die face-down) key process steps of fan-out RDLs. (a) Schematic diagram of known good dies (KGDs); (b) KGDs on two-side thermal release tape on carrier; (c) lamination (gel) of a dry-film epoxy molding compound (EMC) at 100 ℃ for 30 min; (d) attach a glass carrier with a laser-thinning and handling coating (LTHC) layer to the backside of the gel EMC reconstituted wafer, then pre-cure the EMC at 130 ℃ for 60 min; (e) remove the temporary carrier and peel off the tape, and cure the EMC at 180 ℃ for 90 min; (f) build RDLs and mount solder balls; (g) de-bond the glass carrier by laser; (h) dice the EMC reconstituted wafer[4]

中实现芯片间或芯片与基板间高密度垂直互连的关键技术之一，其核心结构为微米级金属凸点，通过低电阻冶金键合形成稳定的电气通路。

在当前产业化应用中，C4 凸点（controlled collapse chip connection bump, C4 bump）与 C2 凸点（chip connection bump, C2 bump）是两类典型的微凸点技术。C4 bump 是较成熟的技术，多采用 Sn-Ag-Cu 或 Sn-Pb 合金，借助回流焊工艺实现可靠键合，其典型参数为间距 100~400 μm、高度 20~40 μm，适用于 CPU 与有机基板连接等中低密度倒装芯片（flip-chip）的封装场景。C2 bump 则面向高密度 3D 集成的需求，参数显著优化，间距缩小至 50~150 μm，高度降低至 5~15 μm，通常采用 Cu-Sn 复合结构（Cu 柱+Sn 焊帽）以降低互连电阻，并通过低温固态扩散键合来实现芯片间的直接互连，适用于 3D IC 堆叠、高带宽内存（HBM）与逻辑芯片垂直连接等场景。图 3 与图 4 分别展示了 C4 bump 与 C2 bump 的核心工艺步骤，清晰呈现了两类 μbump 制备流程上的差异[5]。

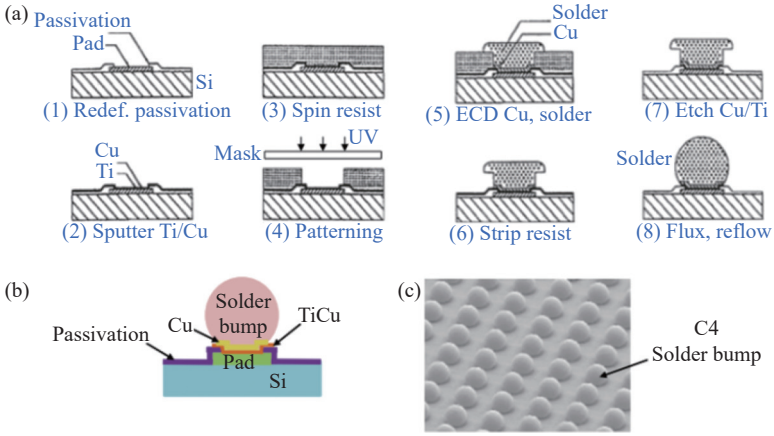

图 3 采用电镀工艺的 C4 晶圆凸点制作工艺。(a)工艺流程；(b)结构示意图；(c)凸点扫描电子显微镜(SEM)图[5]

Fig. 3 C4 wafer bump fabrication process using electroplating technology. (a) Process flow; (b) structural schematic diagram; (c) wafer bump scanning electron microscope (SEM) image[5]

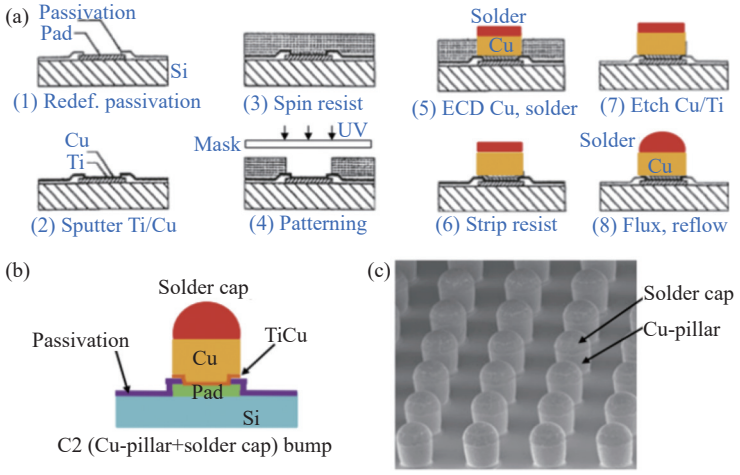

图 4 采用电镀工艺的 C2 晶圆凸点制作工艺。(a)工艺流程；(b)结构示意图；(c)凸点扫描电子显微镜(SEM)图[5]

Fig. 4 C2 wafer bump fabrication process using electroplating technology. (a) Process flow; (b) structural schematic diagram; (c) wafer bump scanning electron microscope (SEM) image[5]

1.3 混合键合（HB）技术

当互连密度需求超过 10^4 mm^{-2} 时，微凸点技术面临难以克服的技术瓶颈，包括底部填充不均匀导致的失效风险、界面电阻与热膨胀失配问题以及凸点高度对多层芯片堆叠的限制等。为突破这些瓶颈，HB 技术应运而生。

该技术无需焊料, 键合界面主要由平坦的介质材料表面及嵌入其中的金属焊盘构成。图 5 详细展示了混合键合的关键工艺步骤, 包括表面化学机械研磨(CMP)平坦化、表面激活、对准和退火[6]。退火后, 键合界面形成 Si—O—Si 共价键和 Cu—Cu 金属键, 从而实现稳定的机械连接与电气连接。

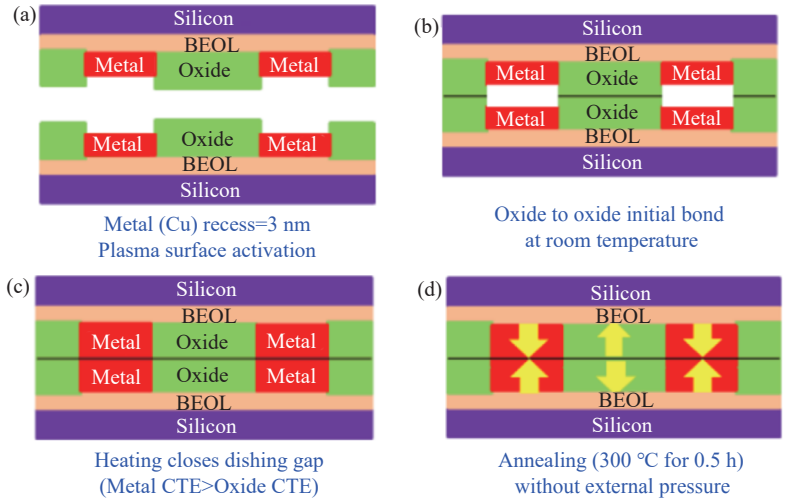

图 5　混合键合技术的关键工艺步骤。(a)表面 CMP 平坦化(铜焊盘保持凹陷)与等离子体表面活化; (b)室温下介质材料氧化物-氧化物预键合; (c)加热闭合金属焊盘间隙(利用热膨胀系数差异); (d)退火完成键合(通常 300 ℃ 保持 0.5 h)[6]

Fig. 5 Key process steps of hybrid bonding. (a) Surface CMP planarization (with Cu pads maintained in a recessed position) and plasma surface activation; (b) pre-bonding of dielectric material to dielectric material (typically oxide) at room temperature; (c) heating to reduce the metal pad gap (utilizing the difference in the coefficient of thermal expansion); (d) annealing to finalize the bonding process (typically performed at 300 ℃ for 0.5 h)[6]

混合键合技术最早于 2016 年在索尼的高端 CMOS 图像传感器(CMOS image sensors, CIS)产品中实现量产。图 6 展示了键合界面两侧金属焊盘的牢固连接, 可以看到, 界面处无任何空隙[7-8]。

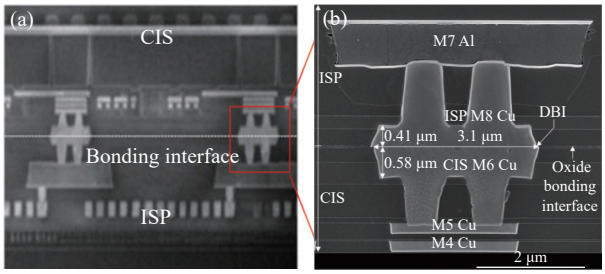

图 6　索尼的新型堆叠式 CMOS 图像传感器。(a)混合键合整体横截面, 展示 CIS 与图像信号处理器(ISP)的键合界面[7]; (b)键合界面的局部扫描电子显微镜(SEM)放大图, 上面标注了金属层、介质层及尺寸参数[8]

Fig. 6 Sony's new stacked CMOS image sensor. (a) Overall cross-section of hybrid bonding, illustrating the bonding interface between CIS and ISP[7]; (b) local magnified scanning electron microscope (SEM) image of the bonding interface, with annotations of metal layers, dielectric layers, and dimensional parameters[8]

1.4　硅通孔(TSV)技术

与定位于芯片间信号连接界面的微凸点及混合键合不同, 硅通孔的核心功能是提供垂直贯穿硅晶圆的信号通道, 主要用于实现多层芯片间的长距离信号传导, 而非直接参与芯片与芯片之间的界面连接。硅通孔最显著的特征在于极小的横截面积和高深宽比, 其直径通常为 1~10 μm, 高度通常为 10~150 μm, 深宽比一般在 1~50 范围内。

根据制备流程在芯片制造工艺中的顺序, 硅通孔可分为先通孔、后通孔与中通孔 3 类[9], 分别对应在前端工艺之前(front-end of line, FEOL)、后端工艺(back-end-of-line, BEOL)之后以及穿插于二者之间进行制备的工艺路线, 具体工艺流程如图 7 所示。

2　基于异构集成的 MRAM 应用

2.1　面向 CMOS 图像传感器的应用

2021 年, 索尼成功研发出全球首款用于缓冲存储器的 40 nm 嵌入式自旋转移矩磁随机存取存

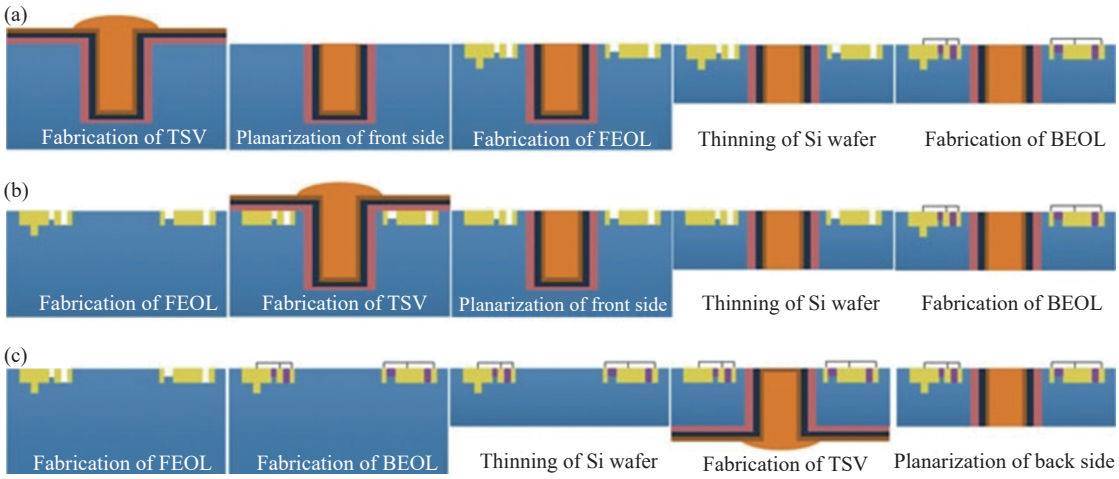

图 7 TSV 组件的制造流程顺序。(a)先通孔;(b)中通孔;(c)后通孔[9]

Fig. 7 Flow-process sequence for fabricating TSV assembly. (a) via-first; (b) via-middle; (c) via-last[9]

储器(spin-transfer torque MRAM, STT-MRAM),该技术与 3D 堆叠 CIS 工艺兼容,如图 8 所示[10]。通过优化 CoFeB 基垂直磁隧道结(magnetic tunnel junction, MTJ)结构,有效抑制了 3D 晶圆堆叠工艺所引起的磁性能退化。实验结果表明,在−30 ℃ 及典型工作电压条件下,该存储器可实现低于 40 ns 的高速写入操作,在 105 ℃ 下实现了高达 10^{10} 个周期的耐久性,并在 85 ℃ 下实现了 1 s 的数据保持时间,能有效满足缓冲存储器的需求。

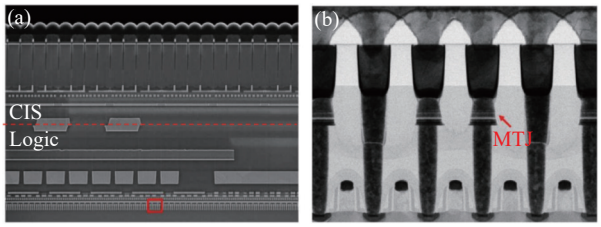

图 8 3D 堆叠 CIS 中 eMRAM 的横截面图。(a)混合键合横截面,展示 CIS 与 Logic 的键合界面;(b)eMRAM 阵列局部放大的透射电子显微镜图[10]

Fig. 8 Cross-sectional images of eMRAM integrated into 3D-stacked CIS. (a) Hybrid bonding cross-section, illustrating the bonding interface between CIS and Logic wafers; (b) locally magnified transmission eelectron micrograph of eMRAM arrays[10]

同年,三星推出一款完全集成于 28 nm CMOS 图像传感器逻辑平台的嵌入式 STT-MRAM[11],其宏密度达到 13.94 Mb·mm^{-2},创下业界最高记录。与 28 nm SRAM 相比,该宏单元面积减少了 55%,且其磁隧道结工艺与标准 3D 堆叠 CIS 集成工艺相兼容。针对帧缓冲应用,研究团队进一步优化了 MTJ 堆叠结构,实现了<50 ns 的写入速度和>10^{10} 次的循环寿命。图 9 展示了该 CIS 产品的横截面结构[11]。

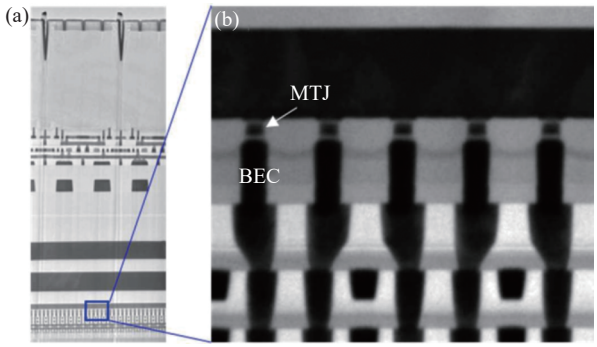

图 9 (a) 带有帧缓冲 eMRAM 的 CIS 产品的横截面图。在将 MTJ 单元阵列(蓝色框所示)嵌入 BEOL 层之后,完成包含晶圆键合的 CIS 工艺;(b) 底部电极触点上 MTJ 单元阵列的 TEM 图像[11]

Fig. 9 (a) Cross-section image of a CIS product with a frame buffer eMRAM. Following the embedding of MTJ cell arrays (indicated by the blue box) into BEOL layers, the CIS process, including wafer bonding, was executed; (b) transmission eelectron micrograph of MTJ cell arrays on the bottom electrode contact[11]

2.2 面向移动 SoC 的应用

2020 年,比利时微电子研究中心(IMEC)首次展示了通过晶圆级混合键合(间距 0.5~3.0 μm)实现的功能完整的 3D STT-MRAM 器件,如图 10 所示[12]。研究表明,在 7 nm 移动 SoC 中采用 3D 内存分区方案,可将导线长度减少约 35%,系统平均性能提升高达 10%。增大缓存容量可进一步强化该优势:

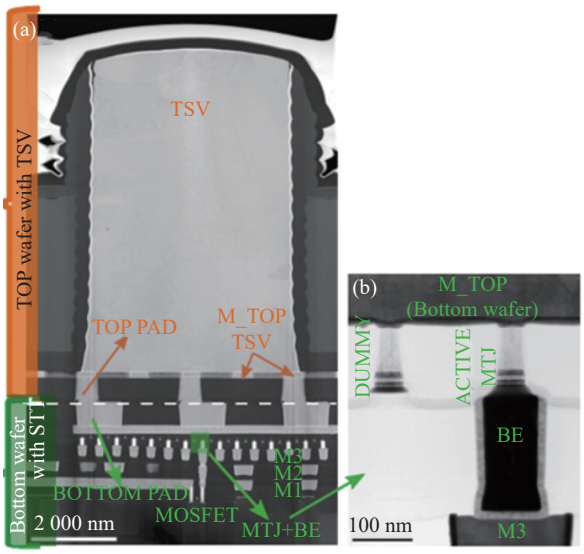

图 10　功能性 3D 晶圆到晶圆(W2W)集成 STT-MRAM 位单元阵列的技术演示。(a)顶部晶片(TSV)+底部晶片(MTJ + CMOS); (b)底部晶片中有源和虚设 MTJ 的近距离视图[12]

Fig. 10　Technology demonstration of a functional 3D wafer-to-wafer (W2W) integrated STT-MRAM bitcell array. (a) Top wafer (TSV) + bottom wafer (MTJ + CMOS); (b) a detailed view of the active and dummy MTJ in the bottom wafer[12]

在扩展缓存的配置下, 3D STT-MRAM 可实现近 30% 的性能提升, 并同步降低 17% 的功耗。在此 3D 场景中, STT-MRAM 缓存层级结构的表现优于基于 SRAM 的缓存结构, 并能使芯片占地面积减小 15%(硅总面积增加约 70%)。

2.3　面向计算架构的应用

2020 年, Zhu 等[13] 通过异质 3D 集成的方法实现了一款基于 RISC-V 的处理器与 STT-MRAM 的集成。与基于 SRAM 的 2D 芯片相比, 基于 MRAM 的 3D 芯片不仅节省了 17.55% 的硅面积, 还将器件性能提升了 34.74%, 能耗降低了 13.90%。

该技术采用混合键合工艺, 将逻辑层与存储层的 BEOL 层连接, 形成面对面的 3D 结构, 由于其直径和间距较小, 通过集成 STT-MRAM, 能够在较低的制造成本下实现高垂直互连密度。图 11 展示了每种类型芯片的 2D 与 3D 平面图。

3　结论

本文围绕后摩尔时代电子系统面临的“内存墙”与“功耗墙”瓶颈, 系统探讨了异构集成技术支持下的 MRAM 设计与应用。RDL、μbump、HB 及

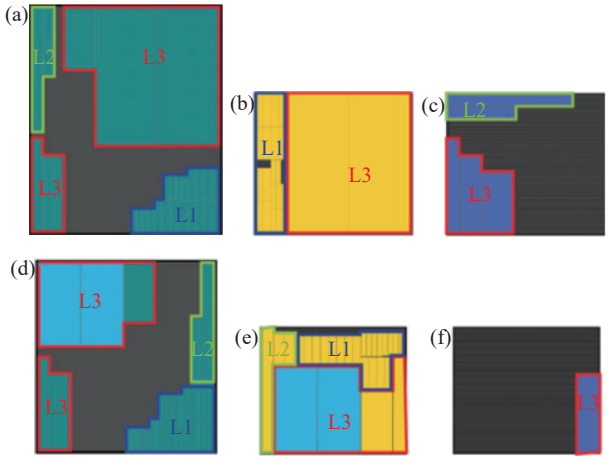

图 11　OpenPiton 设计的平面图。(a)SRAM 2D; (b)SRAM 3D 宏层; (c)SRAM 3D 逻辑层; (d)MRAM 2D; (e)MRAM 3D 宏层; (f)MRAM 3D 逻辑层。浅蓝色块表示用作 L3 数据阵列的 STT-MRAM[13]

Fig. 11 Floorplan of the OpenPiton single-tile designs. (a) SRAM 2D; (b) SRAM 3D macro tier; (c) SRAM 3D logic tier; (d) MRAM 2D; (e) MRAM 3D macro tier; (f) MRAM 3D logic tier. The light blue blocks represent the STT-MRAM utilized as the L3 data array[13]

TSV 等 4 类先进封装技术互为补充, 有效解决了 MRAM 布局约束问题, 实现了对不同密度互连的适配和多层芯片垂直传导, 从而有助于充分发挥其性能潜力。从应用端来看, MRAM 在 CMOS 图像传感器、移动 SoC 及计算架构三大应用场景中表现出色, 能够满足高频存储需求, 并可在显著提升系统性能、降低功耗的同时进一步优化芯片面积与能效。

然而, 先进封装技术在 MRAM 异构集成中仍面临关键挑战: RDL 需应对 MRAM 高频读写下的信号完整性与电迁移风险[14]; μbump 和 HB 需解决 MTJ 温度耐受性以及热膨胀失配引发的界面可靠性问题[15-17]; TSV 则需缓解残余应力对 MTJ 磁性能的影响[18]。

未来, 可通过优化 MRAM 的 MTJ 结构来提升其读写速度与耐久性, 同时开发定制化的先进封装技术: 一方面, 针对 MTJ 的温敏特性, 可优化相关工艺以降低封装工艺温度, 例如采用低熔点 Sn-Bi-Ag 焊料来降低 μbump 回流焊温度, 优化 HB 退火参数以避免磁性能的偏移, 以保障读写稳定性; 另一方面, 需优化异质键合界面, 通过采用新型键合材料和表面处理方法来提高界面键合力, 降低界面

应力并增强界面可靠性。这些方面的技术进步将推动 MRAM 在 AI 算力芯片、车规级高可靠芯片及边缘计算终端等领域的应用，助力高密度、低功耗、高可靠电子系统的研发。

参考文献：

[1] IKEGAWA S, MANCOFF F B, JANESKY J, et al. Magnetoresistive random access memory: Present and future[J]. IEEE Transactions on Electron Devices, 2020, 67(4): 1407-1419.

[2] CHANG M T, ROSENFELD P, LU S L, et al. Technology comparison for large last-level caches (L3Cs): Low-leakage SRAM, low write-energy STT-RAM, and refresh-optimized eDRAM[C]//Proceedings of the 2013 IEEE 19th International Symposium on High Performance Computer Architecture. New York: IEEE, 2013: 143-154.

[3] ZHAO J, QIN F, YU D. Development of fine pitch RDL for large area interposer[C]//Proceedings of the 2024 25th International Conference on Electronic Packaging Technology. New York: IEEE, 2024: 1-4.

[4] LAU J H. Fan-out wafer/panel-level packaging[M]//Semiconductor advanced packaging. Singapore: Springer Singapore, 2021: 147-237.

[5] LAU J H. System-in-package (SiP)[M]//Semiconductor advanced packaging. Singapore: Springer Singapore, 2021: 27-74.

[6] LAU J H. Recent advances and trends in Cu—Cu hybrid bonding[J]. IEEE Transactions on Components, Packaging and Manufacturing Technology, 2023, 13(3): 399-425.

[7] KAGAWA Y, FUJII N, AOYAGI K, et al. Novel stacked CMOS image sensor with advanced Cu_2Cu hybrid bonding[C]//Proceedings of the 2016 IEEE International Electron Devices Meeting. New York: IEEE, 2016: 8.4. 1-8.4. 4.

[8] TechInsights Inc. Hybrid bonding technology: Today and tomorrow[EB/OL]. [2025-09-20]. https://www.techinsights.com/sites/default/files/2022-11/Hybrid-Bonding-Webinar-2022.pdf.

[9] KUMAR P, DUTTA I, HUANG Z, et al. Materials and processing of TSV[M]//3D microelectronic packaging. Singapore: Springer Singapore, 2020: 47-70.

[10] OKA M, NAMBA Y, SATO Y, et al. 3D stacked CIS compatible 40 nm embedded STT-MRAM for buffer memory[C]//Proceedings of the 2021 Symposium on VLSI Technology. New York: IEEE, 2021: 1-2.

[11] LEE K, KIM D S, BAK J H, et al. 28 nm CIS-compatible embedded STT-MRAM for frame buffer memory[C]//Proceedings of the 2021 IEEE International Electron Devices Meeting. New York: IEEE, 2021: 2.1. 1-2.1. 4.

[12] PERUMKUNNIL M, YASIN F, RAO S, et al. System exploration and technology demonstration of 3D Wafer-to-Wafer integrated STT-MRAM based caches for advanced Mobile SoCs[C]//Proceedings of the 2020 IEEE International Electron Devices Meeting. New York: IEEE, 2020: 15.4. 1-15.4. 4.

[13] ZHU L, BAMBERG L, AGNESINA A, et al. Heterogeneous 3D integration for a RISC-V system with STT-MRAM[J]. IEEE Computer Architecture Letters, 2020, 19(1): 51-54.

[14] ZHANG Y, TIAN W, WANG H, et al. Electrothermal reliability analysis of electromigration in 3-D TSV-RDL interconnects[J]. IEEE Transactions on Components, Packaging and Manufacturing Technology, 2024, 14(1): 157-165.

[15] LIN Y M, CHANG P C, LEE O H, et al. A hybrid bonding interconnection with a novel low-temperature bonding polymer system[C]//Proceedings of the 2022 IEEE 72nd Electronic Components and Technology Conference. New York: IEEE, 2022: 2128-2134.

[16] MA K, BEKIARIS N, HSU C H, et al. 0.5 μm pitch wafer-to-wafer hybrid bonding at low temperatures with SiCN bond layer[C]//Proceedings of the 2024 IEEE 74th Electronic Components and Technology Conference. New York: IEEE, 2024: 331-336.

[17] HUANG Y C, LIN Y X, HSIUNG C K, et al. Room temperature polymer-based hybrid bonding scheme for 3D integration and advanced packaging[J]. IEEE Electron Device Letters, 2025, 46(5): 829-832.

[18] LI N, ZHAO X, WANG L, et al. Thermal stress characterization and analysis of inertial sensor/system integration based on low-resistivity Si-TSV[C]//Proceedings of the 2025 26th International Conference on Electronic Packaging Technology. New York: IEEE, 2025: 1-4.