文章编号: 1007-4252(2025)05-0334-09 DOI: 10.20027/j.gncq.2025.0045 CSTR: 32180.14.j.gncq.2025.0045

SiGe 沟道器件中高 *k* 介质/SiGe 界面钝化技术研究进展与挑战

林毅然, 李忠贤*
(浙江大学信息与电子工程学院, 杭州 310027)

摘要: 硅锗(SiGe)合金因其高空穴迁移率、优异的抗负偏压温度不稳定性以及灵活的阈值电压可调性, 在 5 nm 及以下节点的 p 型场效应晶体管(p-type field-effect transistors, pFETs)中展现出广阔的应用前景, 被视为突破传统硅基互补金属-氧化物-半导体(complementary metal-oxide-semiconductor, CMOS)器件物理极限的关键材料。然而, 高 *k*(介电常数)介质/SiGe 栅极堆叠界面上 Si 与 Ge 氧化活性的差异容易诱导氧化锗(GeO_x)与锗富集层(Ge-rich layer, GRL)的生成, 进而导致界面态密度(D_{it})过高, 严重制约了 SiGe 器件性能的充分发挥。目前, 尽管针对界面钝化的研究已取得一定进展, 但现有技术仍存在明显局限: Si 帽(Si-cap)技术难以适配高 Ge 含量的 SiGe 材料, 且在 3D 器件中的应用受限; Ge 清除法对退火条件的依赖性较强; Al/S/N 元素钝化对热预算敏感, 难以全面满足先进器件的需求。从 SiGe 器件的发展现状出发, 系统阐述高 *k* 介质/SiGe 界面质量调控的必要性, 重点综述主流界面钝化技术的最新研究进展。针对现有技术瓶颈, 提出了多种工艺结合、强化可靠性的未来发展方向, 以期为推进高迁移率 SiGe 技术在我国实现规模化应用提供理论指导与技术参考。

关键词: SiGe 沟道; 高 *k* 介质/SiGe 界面态; 界面钝化
中图分类号: TN386.1 **文献标志码:** A

Research progresses and challenges in high-*k* dielectric/SiGe interface passivation technology in SiGe channel devices

LIN Yiran, LEE Choonghyun*
(College of Information Science & Electronic Engineering, Zhejiang University, Hangzhou 310027, China)

Abstract: SiGe, characterized by high hole mobility, excellent negative bias temperature instability (NBTI) resistance, and flexible threshold-voltage tunability, exhibits significant potential for sub-5 nm p-type field-effect transistors (pFETs). It plays a crucial role in overcoming the physical limitations of conventional silicon-based complementary metal-oxide-semiconductor (CMOS) devices. However, at the

收稿日期: 2025−08−31; **修订日期:** 2025−10−10
基金项目: 政府间国际科技创新合作 (No. 2022YFE0112100).
作者简介: 林毅然(1995—), 男, 博士研究生, 主要研究方向为先进集成电路技术(E-mail: linyiran@zju.edu.com).
通信作者: 李忠贤(1979—), 男, 博士, 研究员, 主要研究方向为先进集成电路、新沟道材料、先进制造工艺(E-mail: chlee01@zju.edu.cn).

high-*k* dielectric/SiGe interface, the differing oxidation activity between Si and Ge leads to the formation of GeO_x and a Ge-rich layer (GRL), resulting in a high interface state density (D_{it}) that severely limits the performance of SiGe devices. Despite advancements in interface passivation research, current techniques face notable limitations. The Si-capping method demonstrates poor compatibility with high-Ge-content SiGe and 3D devices, while the Ge-removal approach is highly dependent on specific annealing conditions. Additionally, Al/S/N-based passivation is sensitive to thermal budgets, thereby failing to fully satisfy the requirements of advanced devices. Based on the current state of SiGe device development, this paper highlights the necessity for regulating high-*k* dielectric/SiGe interface quality, reviews recent progress in mainstream interface passivation technologies, and proposes future research directions, such as multi-process integration and reliability enhancement. These insights provide valuable guidance and references for the large-scale domestic application of high-mobility SiGe technology.

Key words: SiGe channel; high-*k* dielectric/SiGe interface state density; interface passivation

0　引言

在半导体产业数十年的发展历程中, 互补金属-氧化物-半导体(complementary metal-oxide-semiconductor, CMOS)器件的尺寸缩放始终是驱动性能提升与集成度突破的核心动力。从早期的微米级工艺到如今的纳米级工艺, 器件特征尺寸的持续缩小实现了单位面积内晶体管数量的指数级增长, 同时带来了更低的功耗与更高的运算速度。然而, 随着传统硅基 CMOS 器件尺寸逐渐逼近物理极限, 出现了如量子隧穿效应加剧、短沟道效应难以抑制等问题, 单纯依靠尺寸缩放提升器件性能的路径已面临严峻挑战[1]。在此背景下, 通过材料体系创新寻找替代方案, 成为突破当前技术瓶颈、维持 CMOS 性能演进的关键。其中, 采用高迁移率沟道材料替代传统硅沟道, 被公认为是提升晶体管电流驱动能力与开关速度的有效途径[2-3]。

在众多高迁移率材料中, 硅锗(SiGe)合金凭借其独特的物理特性与优异的工艺兼容性, 在 p 型场效应晶体管(p-type field-effect transistors, pFETs)领域展现出显著优势。与纯硅沟道相比, SiGe 沟道的优势主要体现在 3 个方面: (1)更高的空穴迁移率: SiGe 的晶格常数随 Ge 含量的增加而增大, 通过与硅衬底形成应变结构, 可显著增强空穴输运效率, 从而提升 pFETs 的电流驱动能力; (2)更优异的抗负偏压温度不稳定性(negative bias temperature instability, NBTI): NBTI 是导致 pFETs 长期可靠性下降的关键因素, 而 SiGe 沟道的电子结构特性可有效抑制偏压与温度协同作用下界面缺陷的产生与演化; (3)更灵活的阈值电压(V_t)可调性: 通过调整 SiGe 合金中 Ge 的含量, 可精准调控沟道的能带结构与功函数, 从而满足不同电路场景对阈值电压的差异化需求[4-8]。这些优势使得 SiGe 成为 5 nm 及以下节点先进逻辑器件(如鳍式场效应晶体管、全环绕栅极器件)中 pFETs 沟道的理想候选材料。

然而, 要充分发挥 SiGe 沟道的性能潜力, 必须解决高 *k*(介电常数)/SiGe 栅极堆叠结构的界面质量问题。栅极堆叠作为晶体管的核心组成部分, 其界面特性直接决定了载流子的输运效率与器件的电学稳定性。理想的高 *k*/SiGe 栅极堆叠需要具备极低的界面态密度(D_{it}), 以减少界面态对载流子的散射与俘获。但在实际制备过程中, 典型的高 *k*/SiGe 栅堆叠普遍面临 D_{it} 过高的问题, 这一问题在高 Ge 含量的 SiGe pFETs 中尤为突出: 随着 Ge 含量的增加, SiGe 表面的 Ge 原子更易与氧结合形成氧化锗(GeO_x)。而 GeO_x 不仅介电常数低、化学稳定性差, 还会在界面处引入大量悬挂键与缺陷态, 严重破坏界面的电学性能, 最终会限制 SiGe 材料在高性能 CMOS 器件中的产业化应用[9-10]。因此, 界面层中 GeO_x 的形成, 被公认为是制约高 *k*/SiGe 栅极堆叠性能提升的核心瓶颈[11-15]。

本文将从高 *k*/SiGe 栅极堆叠的界面态密度控制出发, 对国内外现有控制方案进行全面介绍, 总结界面态密度控制策略的原理、效果及局限性; 在此基础上, 为高性能 SiGe 金属-氧化物-半导体场效应晶体管(metal-oxide-semiconductor field-effect transistor, MOSFET)器件的栅极堆叠设计与工艺优化提供参考方向, 推动高迁移率 SiGe 技术的国产化与产业化应用。

1 SiGe 沟道器件中的界面态

1.1 界面态密度简介

界面态是存在于栅极氧化物/沟道界面处，能量位于沟道禁带中的电子态，可通过俘获或释放载流子来改变自身电荷态，是金属-氧化物-半导体系统中影响界面质量的核心缺陷。

界面态的电荷态（俘获/释放载流子）随偏压、温度的变化，不仅会改变沟道反型层的有效电荷密度，导致阈值电压（V_t）随工作时间波动，而且界面态占据率的随机波动还会调制反型层电导，导致器件输出信号噪声水平的升高和低频下的 1/f 噪声（f 为频率）的增强。这些效应严重恶化了器件的可靠性。同时，界面态会对沟道载流子产生库仑散射作用。高界面态密度意味着散射中心增多，载流子在沟道中的输运阻力增大，这会直接导致 MOSFET 的驱动电流（I_{on}）下降、开关速度变慢，难以满足高频、高性能器件的应用需求。

1.2 高 *k*/SiGe 界面态的形成

SiGe 沟道界面态的形成源于其独特的材料特性。Ge 偏析与氧化动力学失衡导致的化学缺陷是目前 SiGe 沟道表面的界面态密度偏大的主要原因之一，也是目前技术攻坚的难点所在。

Si 与 Ge 的氧化活性差异显著：Si—O 键和 Ge—O 键的生成自由能分别为 −911 kJ·mol^{-1} 和 −580 kJ·mol^{-1}。在热氧化或高 k 氧化层（如 HfO_2、Al_2O_3）沉积过程中，Si 优先被氧化生成 SiO_x，而 Ge 因其氧化动力学上的劣势无法形成稳定氧化物，转而在界面聚集形成 Ge 富集层（Ge-rich layer, GRL）。GRL 中的 Ge 原子仅形成 3 个共价键（未饱和），悬挂键密度高达 10^{13} cm^{-2} 以上；同时，该过程伴随着 GeO_x 的生成。而 GeO_x 中 Ge—O 键的键能较低（约 360 kJ·mol^{-1}），在退火或器件工作过程中易发生分解，或被 Si、Hf 等氧亲和能更高的元素夺取部分氧，形成 Ge 悬挂键或氧含量更低的 GeO_x（x<2）。这些悬挂键和非稳定化学计量比的 GeO_x 通常会在平带附近形成电子缺陷态，显著增强载流子复合，导致严重的器件性能退化。

基于上述原理，目前国内外在设计 SiGe 沟道栅极堆叠工艺时，普遍遵循以下两项原则[16]：

（1）硅需优先氧化且不形成 GeO_x；

（2）在氧化过程中避免 Ge 堆积的发生。

2 高 *k* 介质/SiGe 界面陷阱的钝化

在上一节中提到，高 *k*/SiGe 界面存在两个主要挑战：一是高 k 氧化层沉积过程中在界面层内形成的 GeO_x 含量过高；二是在热处理过程中 SiGe 沟道表面易出现 Ge 堆积。因此，在本节中我们将详细介绍为解决这些挑战所发展出的 SiGe 沟道表面钝化方法。

2.1 界面层外延 Si 帽（Si-cap）法

Si-cap 钝化是 SiGe 沟道器件中最早实现规模化应用的表面钝化技术，其核心是在 SiGe 表面外延生长 1~5 nm 厚的 Si 层，利用 Si 氧化形成的 SiO_2 与高 k 介质之间的稳定界面特性，隔离 SiGe 与绝缘层的直接作用，从而抑制界面缺陷的产生。

Si 的氧化活性远高于 Ge，Si-cap 层可优先与氧反应形成致密的 SiO_x 过渡层，避免 Ge 被“排挤”至界面形成 GRL。Park 等[17]发现，在无 Si-cap 的 $HfO_2/Si_{0.8}Ge_{0.2}$ 结构中，高 k 层内 Ge 的浓度达 10^{19} cm^{-3}，对应的 D_{it} 高达 2.9×10^{12} eV^{-1}·cm^{-2}；而外延生长 2 nm 厚 Si 帽后，Ge 富集浓度降至 10^{17} cm^{-3} 以下，对应的 D_{it} 降至 5×10^{11} eV^{-1}·cm^{-2}。Mallik 等[18]发现，Si 原子有助于实现 SiGe 表面悬挂键的饱和，同时可与高 k 介质（如 Al_2O_3、HfO_2）形成更稳定的 Si—O—M 键（M 为高 k 金属），减少 M—Ge 键的生成。对比发现，无 Si-cap 的 $HfAlO_x/Si_{0.81}Ge_{0.19}$ 界面易形成 Hf-Ge-O 化合物，而引入 2.5 nm 厚 Si-cap 可完全抑制该化合物的生成，使 D_{it} 降低 60 %。

Si-cap 钝化法凭借优异的钝化效果以及与现有 Si 基工艺的高度兼容性而得到了广泛应用。然而，该方法也仍存在诸多缺点，例如与高 Ge 含量 SiGe 沟道的适配性较差，在 3 维（3D）器件中 Si-cap 层难以实现均匀外延[19]，且难以实现小于 1 nm 的等效氧化层厚度（equivalent oxide thickness, EOT）。这些缺点使得在 3D 结构时代，Si-cap 钝化法逐渐被其他工艺所替代。

2.2 界面 Ge 清除法

如图 1(a) 所示，Lee 等[11]采用热处理手段，将 SiGe 沟道表面的 Ge 以 GeO 的形式解吸脱附，从而

在界面层中实现无 GeO_x, 并在表面形成一层富硅层, 如图 1(b) 所示。该方法可将 D_{it} 降低至 2×10^{11} $eV^{-1}\cdot cm^{-2}$, 大幅提升器件性能。该方法可兼容现有工艺, 并已在 3D 结构器件中得到验证。

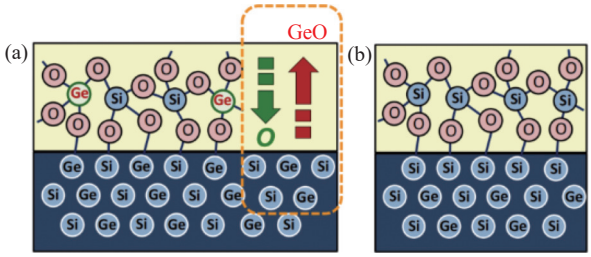

图 1　界面 Ge 清除法示意图。(a)SiGe 沟道表面的 Ge 以 GeO 形式析出; (b)最终形成的富 Si 表面, 该表面被优先氧化[11]

Fig. 1 Schematic diagram of Ge-removal approach. (a) Ge on the SiGe channel surface desorbs in the form of GeO; (b) a Si-rich surface eventually forms and preferential oxidation[11]

2.3　界面化学反应钝化法

该方法的基本原理是通过界面化学反应来调节 SiGe 表面的键合状态, 利用原子级键合作用促使悬挂键饱和, 抑制 Ge 的化学活性, 从而在分子层面消除界面缺陷。

2.3.1　Al 元素钝化

该方法需在高 k 氧化层沉积之前, 在 SiGe 表面沉积一层极薄的 Al_2O_3, 或先进行 Al 前驱体的原位吸附, 随后沉积高 k 栅极氧化层并进行热处理[19]。

Lee 等[20-22] 以三甲基铝 (trimethylaluminum, TMA) 为前驱体, 在 SiGe 表面进行适量的循环处理, 形成了厚度为 1 至 2 个原子层的 Al 吸附层, 之后进行高 k 栅氧化层沉积并实施后退火。如图 2 所示, 铝原子掺入界面层后显著降低了电子和空穴陷阱的生成率ΔN_{st}。在 EOT 为 1 nm 的条件下, D_{it} 可降至 1×10^{11} $eV^{-1}\cdot cm^{-2}$。

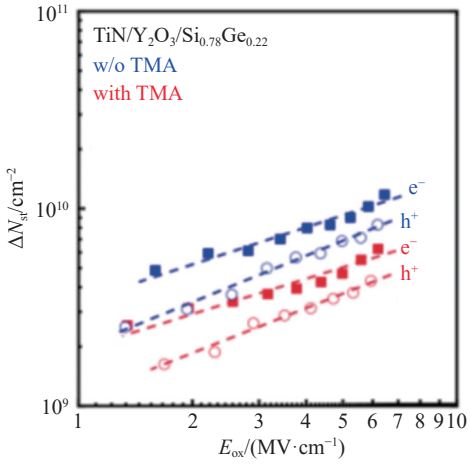

图 2　TMA 预处理对电子和空穴陷阱生成率的影响[22]

Fig. 2 Influence of TMA pretreatment on electron and hole trap generation rates[22]

2.3.2　S 元素钝化

S 元素钝化机理与 Al 元素钝化类似, 也是通过在界面层引入活性比 Ge 更强的元素, 以减少 GeO_x 的生成, 降低电子和空穴陷阱的生成率, 进而降低 D_{it}[23]。该方法的机理如图 3 所示, 该图也可作为界面化学反应钝化的示意图。

工艺方面, Xie 等[24] 采用在 $(NH_4)_2S$ 溶液中浸

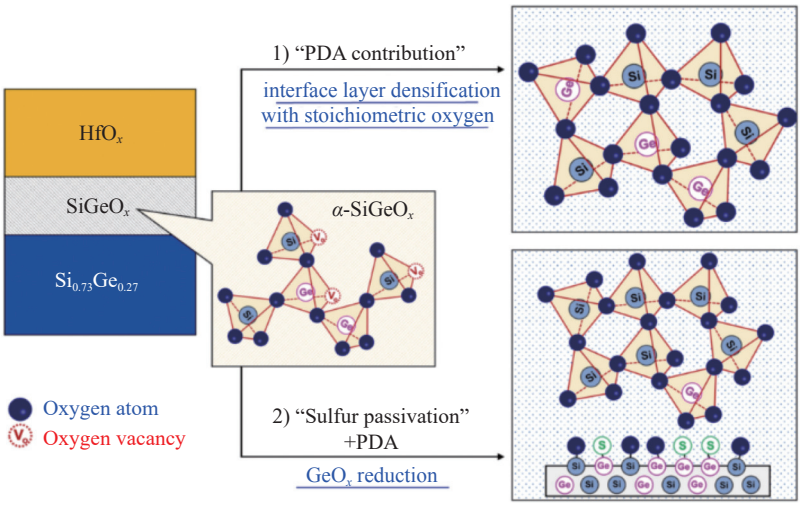

图 3　S 钝化示意图。S 通过占据表面 Ge 的共价位置, 促使后续退火过程中 Si 优先氧化, 同时钝化被还原出的 Ge 的悬挂键[15]

Fig. 3 Schematic diagram of S passivation, which occupies the covalent sites of surface Ge, facilitates the preferential oxidation of Si during subsequent annealing, and passivates the dangling bonds of reduced Ge[15]

润 30 min, 随后沉积栅氧并在 500 ℃ 下退火的方法, 成功将 D_{it} 降低至 5×10^{11} $eV^{-1}\cdot cm^{-2}$ 以下。Chen 等[15] 在此基础上对该工艺进行了进一步的优化: 通过调整浸润时间以及后退火条件, 将 D_{it} 进一步降低至 1.2×10^{11} $eV^{-1}\cdot cm^{-2}$ 以下。

2.3.3 N 元素钝化

早期的 N 元素钝化工艺通过在 NH_3 气氛中进行退火来实现[25]。随着设备和技术的进步, 离子化 N(plasma-N)逐渐成为主流[25]。该方法通过向设备中通入等离子化的 N_2 或 NH_3, 使 SiGe 表面在 plasma-N 中退火, 形成含 N 的界面层, 从而有效降低 D_{it}[26]。利用该方法, Han 等[27-28] 和 SARDASHTI 等[29] 在 $Al_2O_3/Si_{0.78}Ge_{0.22}$ 栅极堆叠结构中成功实现了低至 1×10^{11} $eV^{-1}\cdot cm^{-2}$ 的 D_{it}。

2.3.4 小结

界面化学反应钝化法能够直接作用于 SiGe 表面的悬挂键和缺陷位点, 相较于物理隔离型方法(如 Si-cap)更易实现低 D_{it}, 同时对器件 EOT 的影响较小, 适合于先进制程节点的需求。该方法通过原子层沉积(atomic layer deposition, ALD)或离子化气体来实现, 具有良好的台阶覆盖性, 适用于 3D 结构器件。

然而, 该方法仍存在两个主要缺点: (1)对器件制备的热预算较为敏感, 若后续芯片制备过程中的热处理温度超过 400 ℃ 且退火时间较长(时间窗口随温度升高而缩短, 在 800 ℃ 下时间窗口≤30 s), 可能导致不同程度的性能退化[30]; (2)工艺复杂性较高, 不同钝化元素所需的前处理和后处理工艺各异, 对不同产品的工艺匹配度要求较高。

2.4 高温界面 GeO_x 清除法

GeO_x 是一种极不稳定的氧化物, 在一定温度条件下可与 SiGe 表层中的 Si 反应生成 SiO_x[31]。图 4(a) 展示了相关的热力学条件, 图 4(b) 则展示了反应后的界面状态。Lee 等[32] 利用这一原理, 通过氧等离子体预先生成一层极薄的界面层, 随后在 800 ℃ 下进行退火, 将界面层中的 GeO_x 含量从 20% 以上降低至 0.2 % 以下, D_{it} 从 10^{13} 量级降低至 10^{11} 量级。

该方法利用 SiGe 及其氧化物的固有特性, 无需引入其他特殊元素或工艺, 降低了工艺复杂度。然而, 其最终钝化效果对后续退火工艺的依赖性较高, 增加了工艺匹配的难度。

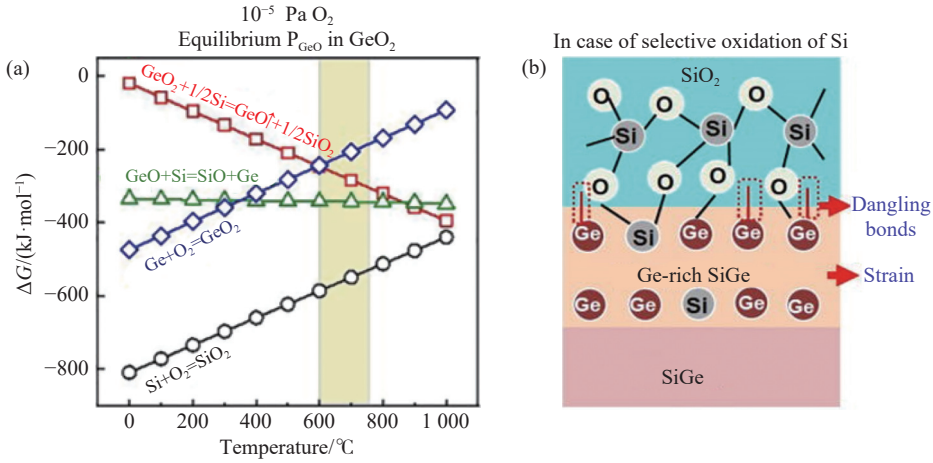

图 4 (a)SiGe 表面可能涉及的反应的吉布斯自由能及 GeO_x 还原的热力学依据; (b)GeO_x 被还原后的界面状态[31]

Fig. 4 (a) The Gibbs free energy of reactions potentially involved on the SiGe surface provides the thermodynamic foundation for the reduction of GeO_x; (b) interface state following the reduction of GeO_x[31]

2.5 金属栅极 GeO_x 清除法

从热力学角度, 不同金属对氧的亲和能存在差异, 如图 5 所示(1 cal ≈ 4.184 J)。金属栅极 GeO_x 清除法的核心基于热力学原理, 通过沉积具有更高氧亲和力的金属, 并结合热退火来实现。在热退火过程中, 该金属会夺取界面处 GeO_x 中的氧, 使其还原为 Ge, 从而有效清除 GeO_x。Lee 等[33] 基于此原理, 在 TiN 上沉积了一层 Al 帽层, 并在 300 ℃ 下进行退火处理, 成功将 D_{it} 降低至 2×10^{11} $eV^{-1}\cdot cm^{-2}$, 其示意图如图 6 所示。

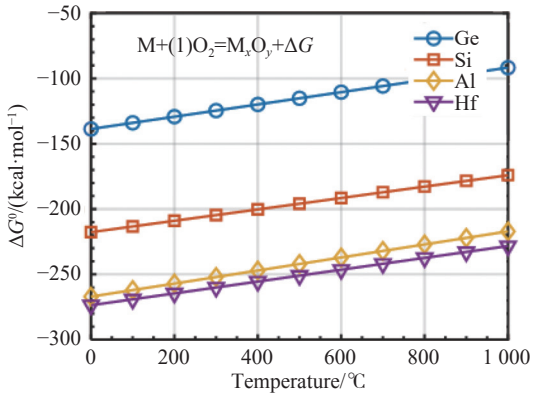

图 5　不同金属元素形成相应氧化物的吉布斯自由能, 表明了其对氧的亲和力大小

Fig. 5 Gibbs free energy of various metal elements associated with the formation of their respective oxides, illustrating the extent of their affinity for oxygen

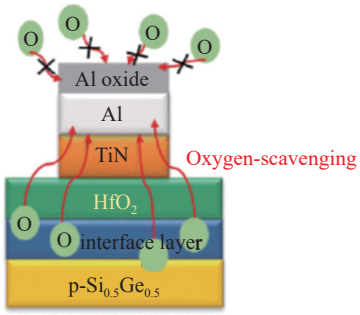

图 6　金属栅极 GeO_x 清除法示意图, 通过改变顶部金属实现不同的 GeO_x 清除效果[33-34]

Fig. 6 Schematic diagram of the GeO_x scavenging method for metal gate, demonstrating varied GeO_x scavenging effects through modifications to the top metal[33-34]

该工艺基于热力学原理, 工艺热预算较高[34]。根据该原理, 所选择的金属与氧的亲和能越高, 清除效果越显著。因此, 必须权衡 D_{it} 降低效果与因栅极金属堆垛变化引起的 V_t 漂移之间的关系[9], 这在一定程度上限制了适用该工艺的产品范围。

2.6　后退火工艺优化

后退火工艺是集成电路制造过程中极为重要的一个工艺步骤, 主要通过在合适的温度及气氛下对器件进行退火处理, 以在合适的热力学环境下修复材料本身或前段制备过程中形成的缺陷(如 high-*k* 介质中的氧空位陷阱、因高温热处理在沟道中形成的空位和层错及表面悬挂键等)。后退火工艺优化主要是对 SiGe 栅极堆叠完成后的热退火过程进行工艺优化, 一般通过合理调控温度及退火气氛的搭配来实现。例如, Mertens 等[35] 在 SiGe 栅极堆叠完成后, 于高压(20 atm, 1 atm ≈ 101.325 kPa)氚气环境中对器件进行退火处理, 使 D_{it} 降低了 50% 以上。而 Kim 等[36] 则将 SiGe 器件置于高压氢气与氚气环境中, 在 300 ℃ 下进行退火处理。相较于传统的后退火工艺如(常压)氢气气体退火(forming gas anneal, FGA)工艺, 上述的改进工艺使 D_{it} 下降 50% 以上。氢原子对 SiGe 表面的钝化效果如图 7 所示。该方法与现有工艺具有较高兼容性, 通常与其他工艺联合使用, 以充分发挥其作用。

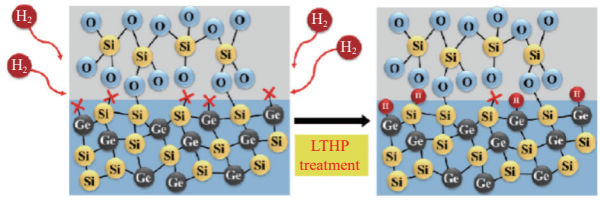

图 7　氢原子钝化 SiGe 界面示意图[37]

Fig. 7 Schematic diagram of hydrogen atom passivation at the SiGe interface [37]

2.7　小结

本节详细介绍了为提升 SiGe 沟道器件的界面性能所采用的多种表面钝化技术, 并按照时间顺序梳理了 SiGe 钝化技术的发展脉络。

2015 年之前, 学术界和工业界普遍以 Si-cap 钝化法作为重点研究和应用方向。2015 年后, 随着对 SiGe/氧化物界面研究的深入, 基于 SiGe 界面氧化物自身特性的钝化技术逐渐成为主流。其中, 基于热处理工艺的界面 Ge 清除法, 以及利用栅极金属吸除界面 GeO_x 中的氧原子以清除 GeO_x 的金属栅极 GeO_x 清除法成为典型代表。2020 年至今, 随着 SiGe 器件全面进入 3D 时代, 基于强台阶覆盖性的 ALD 技术进行化学掺杂的界面化学反应钝化法逐渐成为研究重点, 并被广泛采用。此外, 后退火工艺优化作为各种钝化方法的补充, 虽然一般不被单独使用, 但作为重要工艺组成部分, 贯穿了 SiGe 表面钝化技术研究和发展的始终。

由此可见, SiGe 钝化技术的发展与对 SiGe 界面的认知深化, 以及因 SiGe 器件结构和性能发展而提升的技术要求密切相关。这对我国开展 SiGe 器件界面钝化技术的研究具有重要借鉴与指导意义。

3 总结与展望

本文综述了高性能 SiGe 沟道器件界面钝化技术的研究进展，详细介绍了目前主流的多种高 k 介质/SiGe 界面钝化技术及其效果，如表 1 所示。基于 SiGe 的独特性质，国内外研究人员开发了多种界面钝化体系。(1)Si-cap 法通过外延生长 1~5 nm 厚的 Si 层以隔离 SiGe 与介质层，利用 Si 的优先氧化特性来抑制 GeO_x 生成。该方法兼容传统 Si 基工艺，但对高 Ge 含量 SiGe 的适配性较差，且难以满足 3D 器件对均匀性和 EOT 小于 1 nm 的需求。(2)Ge 清除法(如热处理脱附 GeO)与高温 GeO_x 清除法借助 SiGe 自身的热力学特性(GeO_x 与 Si 反应生成 SiO_x)来降低 GeO_x 含量，可将 D_{it} 降低至 2×10^{11} $eV^{-1}\cdot cm^{-2}$ 以下，工艺简单但对退火条件依赖较强。(3)界面化学反应钝化法(如 Al、S、N 元素掺杂)通过原子级键合促使悬挂键饱和，其中 Al 钝化(TMA 预处理)、S 钝化($(NH_4)_2S$ 浸润)可分别将 D_{it} 降低至 1×10^{11} $eV^{-1}\cdot cm^{-2}$ 和 1.2×10^{11} $eV^{-1}\cdot cm^{-2}$，且适配 3D 器件，但存在热预算敏感(温度高于 400 ℃的热处理易导致性能退化)和工艺参数匹配难度大的问题。(4)后退火工艺优化(如高压氚气、氢气退火)可进一步使 D_{it} 降低 50 % 以上，但需与特定栅极堆叠结构匹配。总体而言，现有界面钝化技术各有优劣，需结合器件节点、Ge 含量及结构需求进行针对性选择。

表 1 不同钝化方法的典型参数

Table 1 Typical parameters associated with various passivation methods

钝化方法	Ge含量/%	等效氧化层厚度/nm	高k介质	钝化前D_{it}/(10^{11} $eV^{-1}\cdot cm^{-2}$)	钝化后D_{it}/(10^{11} $eV^{-1}\cdot cm^{-2}$)
Si-cap[17]	20	2.1	HfO_2	29	5.0
界面Ge清除[11]	40	0.9	HfO_2	6	2.0
化学反应Al[20]	22	1.1	Y_2O_3	10	1.0
化学反应S[15]	27	2.6	HfO_2	12	1.2
化学反应N[27]	38	2.7	Al_2O_3	78	1.0
高温GeO_x清除[31]	30	3.4	HfO_2	78	9.4
栅极GeO_x清除[33]	50	1.3	HfO_2	13	2.0
后退火工艺[36]	30	—	HfO_2	30	10.0

未来高 k 介质/SiGe 界面钝化技术的研究应围绕“性能突破、工艺兼容、产业化适配”三大方向展开。针对热预算敏感这一关键问题，需着力开发低温高效的钝化方案，例如优化 Al、S 前驱体的原位吸附工艺，或引入新型低活性钝化元素，在低于 400 ℃ 的条件下实现原子级界面调控，同时兼顾低 D_{it} 与器件热稳定性。面向 3D 全环绕栅极等复杂结构，需结合 ALD 技术提升钝化层的均匀性，通过精准控制界面组分(如 N/Al 比例)来解决台阶覆盖性问题，确保不同位置 D_{it} 的一致性。与此同时，应强化长期可靠性研究，重点关注 NBTI 条件下界面态的演化规律，并建立钝化层组分与器件生命周期性能之间的关联模型。此外，对于现有技术，可通过取长补短，优化一种或多种技术的组合，以实现更优异的钝化效果。最后，还需推动钝化技术与国产高 k 材料及设备的兼容性验证，通过工艺集成和优化来降低成本，最终实现高迁移率 SiGe 技术的突破及其规模化国产应用，为国内先进 CMOS 器件性能的持续提升提供有力支撑。

参考文献：

[1] NOWAK E J. Maintaining the benefits of CMOS scaling when scaling bogs down[J]. IBM Journal of Research and Development, 2002, 46(2/3): 169-180.

[2] TAKAGI S, TEZUKA T, IRISAWA T, et al. Device structures and carrier transport properties of advanced CMOS using high mobility channels[J]. Solid-State Electronics, 2007, 51(4): 526-536.

[3] KUHN K J. Considerations for ultimate CMOS scaling[J]. IEEE Transactions on Electron Devices, 2012, 59(7): 1813-1828.

[4] KUHN K J, MURTHY A, KOTLYAR R, et al. Past, present and future: SiGe and CMOS transistor scaling[J]. ECS Transactions, 2010, 33(6): 3-17.

[5] BAE D I, BAE G, BHUWALKA K K, et al. A novel tensile Si (n) and compressive SiGe (p) dual-channel CMOS FinFET co-integration scheme for 5nm logic applications and beyond[C]// Proceedings of the 2016 IEEE International Electron Devices Meeting. New York: IEEE, 2017: 28.1. 1-28.1. 4.

[6] HASHEMI P, ANDO T, BALAKRISHNAN K, et al. High performance PMOS with strained high-Ge-content SiGe fins for advanced logic applications[C]//Proceedings of the 2017 International Symposium on VLSI Technology, Systems and Application. New York: IEEE, 2017: 1-2.

[7] AGRAWAL A, CHOUKSEY S, RACHMADY W, et al. Gate-all-around strained $Si_{0.4}Ge_{0.6}$ nanosheet PMOS on strain relaxed buffer for high performance low power logic application[C]//Proceedings of the 2020 IEEE International Electron Devices Meeting. New York: IEEE, 2021: 2.2. 1-2.2. 4.

[8] GROESENEKEN G, FRANCO J, CHO M, et al. BTI reliability of advanced gate stacks for Beyond-Silicon devices: Challenges and opportunities[C]//Proceedings of the 2014 IEEE International Electron Devices Meeting. New York: IEEE, 2015: 34.4. 1-34.4. 4.

[9] ARIMURA H, CAPOGRECO E, WOSTYN K, et al. Addressing key challenges for SiGe-pFin technologies: Fin integrity, low-D_{IT} Si-cap-free gate stack and optimizing the channel strain[C]//Proceedings of the 2020 IEEE Symposium on VLSI Technology. New York: IEEE, 2020: 1-2.

[10] LEE T E, KATO K, KE M, et al. Improvement of SiGe MOS interface properties with a wide range of Ge contents by using TiN/Y_2O_3 gate stacks with TMA nassivation[C]//Proceedings of the 2019 Symposium on VLSI Technology. New York: IEEE, 2019: T100-T101.

[11] LEE C H, KIM H, JAMISON P C, et al. Selective GeO_x-scavenging from interfacial layer on $Si_{1-x}Ge_x$ channel for high mobility $Si/Si_{1-x}Ge_x$ CMOS application[C]//Proceedings of the 2016 IEEE Symposium on VLSI Technology. New York: IEEE, 2016: 1-2.

[12] ARIMURA H, WOSTYN K, RAGNARSSON L Å, et al. Ge oxide scavenging and gate stack nitridation for strained $Si_{0.7}Ge_{0.3}$ pFinFETs enabling 35% higher mobility than Si[C]//Proceedings of the 2019 IEEE International Electron Devices Meeting. New York: IEEE, 2020: 29.2. 1-29.2. 4.

[13] TORIUMI A, NISHIMURA T. New insight into MOS gate stack formations on Ge and SiGe from thermodynamics, reaction kinetics and nanoscale engineering[C]//Proceedings of the 2019 IEEE International Electron Devices Meeting. New York: IEEE, 2020: 21.4. 1-21.4. 4.

[14] ZHANG L, GUO Y, HASSAN V V, et al. Interface engineering for atomic layer deposited alumina gate dielectric on SiGe substrates[J]. ACS Applied Materials & Interfaces, 2016, 8(29): 19110-19118.

[15] CHEN Z, LAN Z, LIN Y, et al. Optimizing interface properties of $HfO_2/Si_{0.73}Ge_{0.27}$ gate stacks through sulfur passivation and post-deposition annealing[J]. Journal of Applied Physics, 2024, 135(12): 125704.

[16] CHANG C T, TORIUMI A. Preferential oxidation of Si in SiGe for shaping Ge-rich SiGe gate stacks[C]//Proceedings of the 2015 IEEE International Electron Devices Meeting. New York: IEEE, 2016: 21.5. 1-21.5. 4.

[17] PARK T J, KIM J H, JANG J H, et al. Improvements in the electrical properties of high-k HfO_2 dielectric films on $Si_{1-x}Ge_x$ substrates by postdeposition annealing[J]. Applied Physics Letters, 2007, 90(4): 042915.

[18] MALLIK S, MAHATA C, HOTA M K, et al. $HfAlO_x$ high-k gate dielectric on SiGe: Interfacial reaction, energy-band alignment, and charge trapping properties[J]. Microelectronic Engineering, 2010, 87(11): 2234-2240.

[19] MOCHIZUKI S, BHUIYAN M, ZHOU H, et al. Stacked gate-all-around nanosheet pFET with highly compressive strained $Si_{1-x}Ge_x$ channel[C]//Proceedings of the 2020 IEEE International Electron Devices Meeting. New York: IEEE, 2021: 2.3. 1-2.3. 4.

[20] LEE T E, KE M, TOPRASERTPONG K, et al. Reduction of MOS interface defects in $TiN/Y_2O_3/Si_{0.78}Ge_{0.22}$ structures by trimethylaluminum treatment[J]. IEEE Transactions on Electron Devices, 2020, 67(10): 4067-4072.

[21] LEE T E, TOPRASERTPONG K, TAKENAKA M, et al. Impacts of equivalent oxide thickness scaling of TiN/Y_2O_3 gate stacks with trimethylaluminum treatment on SiGe MOS interface properties[J]. IEEE Electron Device Letters, 2021, 42(7): 966-969.

[22] LEE T E, TOPRASERTPONG K, TAKENAKA M, et al. Characterization of slow traps in SiGe MOS interfaces by

TiN/Y_2O_3 gate stacks[C]//Proceedings of the 2021 IEEE International Reliability Physics Symposium. New York: IEEE, 2021: 1-4.

[23] MAITI C K, MAIKAP S, CHATTERJEE S, et al. Hafnium oxide gate dielectric for strained-$Si_{1-x}Ge_x$[J]. Solid-State Electronics, 2003, 47(11): 1995-2000.

[24] XIE R, ZHU C. Effects of sulfur passivation on germanium MOS capacitors with HfON gate dielectric[J]. IEEE Electron Device Letters, 2007, 28(11): 976-979.

[25] HUANG J, WU N, ZHANG Q, et al. Surface NH_3 anneal on strained $Si_{0.5}Ge_{0.5}$ for metal-oxide-semiconductor applications with HfO_2 as gate dielectric[J]. Applied Physics Letters, 2006, 88(14): 143506.

[26] GAO L G, YIN K B, XIA Y D, et al. Effect of NH_3 and N_2annealing on the interfacial and electrical characteristics of La_2O_3 films grown on fully depleted SiGe-on-insulator substrates[J]. Journal of Physics D: Applied Physics, 2009, 42(1): 015306.

[27] HAN J H, TAKENAKA M, TAKAGI S. Analysis of interface trap density of plasma post-nitrided Al_2O_3/SiGe MOS interface with high Ge content using high-temperature conductance method[J]. Journal of Applied Physics, 2016, 120(12): 125707.

[28] HAN J H, ZHANG R, OSADA T, et al. Impact of plasma post-nitridation on HfO_2/Al_2O_3/SiGe gate stacks toward EOT scaling[J]. Microelectronic Engineering, 2013, 109: 266-269.

[29] SARDASHTI K, HU K T, TANG K, et al. Nitride passivation of the interface between high-*k* dielectrics and SiGe[J]. Applied Physics Letters, 2016, 108: 011604.

[30] LEE M C, CHUNG N J, LIN H R, et al. Electrical characteristics of $Si_{0.8}Ge_{0.2}$ p-MOSFET with TMA pre-doping and NH_3 plasma IL treatment[J]. IEEE Transactions on Electron Devices, 2022, 69(4): 1776-1780.

[31] LI X Y, NOMA Y, SONG W J, et al. Interface reaction kinetics in SiGe oxidation[J]. Applied Physics Letters, 2019, 115(23): 232901.

[32] LEE M C, LIN H R, LEE W L, et al. Impact of high-temperature annealing on interfacial layers grown by O_2 plasma on $Si_{0.5}Ge_{0.5}$ substrates[J]. IEEE Transactions on Electron Devices, 2022, 69(3): 1265-1270.

[33] LEE M C, LEE W L, LIN H R, et al. High-interface-quality Hf-based gate stacks on $Si_{0.5}Ge_{0.5}$ through aluminum capping[J]. IEEE Electron Device Letters, 2021, 42(12): 1723-1726.

[34] CHEN Z, LIN Y, NISHIMURA T, et al. Improvement of electrical properties of $HfO_2/Si_{0.73}Ge_{0.27}$ gate stacks through selective remote GeO_x scavenging[J]. IEEE Transactions on Electron Devices, 2025, 72(10): 5307-5313.

[35] MERTENS H, RITZENTHALER R, ARIMURA H, et al. Si-cap-free SiGe p-channel FinFETs and gate-all-around transistors in a replacement metal gate process: interface trap density reduction and performance improvement by high-pressure deuterium anneal[C]//Proceedings of the 2015 Symposium on VLSI Technology. New York: IEEE, 2015: T142-T143.

[36] KIM J, CHOI S, NGUYEN A H, et al. Effects of high-pressure H_2 and D_2 post-metallization annealing on the electrical properties of $HfO_2/Si_{0.7}Ge_{0.3}$[J]. Physica Status Solidi (RRL)-Rapid Research Letters, 2023, 17(4): 2200439.

[37] CHEN K H, LIN C Y, CHEN M C, et al. Advanced low-temperature–high-pressure hydrogen treatment for interface defect passivation in Si- and SiGe-channel MOSCAPs[J]. IEEE Transactions on Electron Devices, 2020, 67(12): 5403-5407.