文章编号: 1007-4252(2025)05-0343-09 DOI: 10.20027/j.gncq.2025.0043 CSTR: 32180.14.j.gncq.2025.0043

SiGe 沟道 CMOS 器件可靠性研究进展与挑战

黄郭启昕[1], 曲益明[2], 李忠贤[3,*]

(1. 华东师范大学通信与电子工程学院, 上海 200241; 2. 华大半导体有限公司集成电路研究院, 上海 201210; 3. 浙江大学信息与电子工程学院, 杭州 310027)

摘要: 随着互补金属-氧化物-半导体(complementary metal-oxide-semiconductor, CMOS)技术发展至 5 nm 工艺节点, SiGe 沟道因能够提升空穴迁移率, 已成为高性能 p 型场效应晶体管(p-type field-effect transistor, pFET)的重要选择之一, 并有望在更小尺寸节点中得到广泛应用。针对硅锗(SiGe)沟道 CMOS 器件在可靠性方面的研究进展与挑战进行综述。分析 SiGe 沟道 pFET 在负偏置温度不稳定性(negative bias temperature instability, NBTI)方面的显著改善效果及其物理机制, 探讨 SiGe 沟道 CMOS 在正偏置温度不稳定性(positive bias temperature instability, PBTI)、氧化层击穿(breakdown, BD)、热载流子注入(hot carrier injection, HCI)退化、低频噪声(low-frequency noise, LFN)及自热效应(self-heating effect, SHE)等方面的可靠性问题。研究表明, SiGe 技术在改善 NBTI 的同时, 也伴随着 PBTI 退化、关态漏电增加以及自热积累加剧等新挑战。结合物理机理对各项可靠性问题的根源进行分析, 提出通过沟道组分调控、界面工程与器件结构优化来实现先进 SiGe 沟道 CMOS 性能与可靠性的协同提升。

关键词: 硅锗; 可靠性; 偏置温度不稳定性; 热载流子注入; 自热效应

中图分类号: TN386 **文献标志码:** A

Research progress and challenges in the reliability of SiGe channel CMOS device

HUANG Guoqixin[1], QU Yiming[2], LEE Choonghyun[3,*]

(1. School of Communication and Electronic Engineering, East China Normal University, Shanghai 200241, China; 2. Research Center of Integrated Circuits, Huada Semiconductor Co., Ltd., Shanghai 201210, China; 3. College of Information Science & Electronic Engineering, Zhejiang University, Hangzhou 310027, China)

收稿日期: 2025−08−31; **修订日期:** 2025−10−09

基金项目: 科技部重点研发计划项目政府间国际科技创新合作 (No. 2022YFE0112100); 上海市教育发展基金会和上海市教育委员会“晨光计划”项目 (No. 23CGA35).

作者简介: 黄郭启昕(2001—), 男, 硕士研究生, 主要研究方向为 CMOS 器件的可靠性与器件物理(E-mail: 51265904097@stu.ecnu.edu.cn).

通信作者: 李忠贤(1979—), 男, 博士, 研究员, 主要研究方向为先进集成电路、新沟道材料、先进制造工艺(E-mail: chlee01@zju.edu.cn).

Abstract: As complementary metal-oxide-semiconductor (CMOS) technology scales down to the 5 nm node and beyond, SiGe channels have become a promising solution for high-performance p-type field-effect transistor (pFET) due to their superior hole mobility, with potential extensive application in further scaled nodes. This review provides an overview of recent advancements and challenges in the reliability of SiGe channel CMOS devices. This article begins by analyzing the significant improvement and physical mechanism in negative bias temperature instability (NBTI) observed in SiGe channel pFET. It evaluates other critical reliability concerns, such as positive bias temperatureinstability (PBTI), oxide breakdown (BD), hot carrier injection (HCI) degradation, low-frequency noise (LFN), and self-heating effect (SHE) in SiGe-based CMOS devices. Research indicates that while SiGe technology demonstrates notable advantages in mitigating NBTI, it also introduces new challenges, including PBTI degradation, increased off-state leakage current, and exacerbated self-heating. By investigating the physical mechanisms behind these reliability issues, this review suggests that advanced SiGe channel CMOS technology can achieve the co-optimization of performance and reliability through channel composition engineering, interface optimization, and device structure improvements.

Key words: silicon germanium; reliability; bias temperature instability; hot carrier injection; self-heating effect

0 引言

随着互补金属-氧化物-半导体(complementary metal-oxide-semiconductor, CMOS)技术不断向纳米尺度演进,器件性能的提升面临日益严峻的挑战[1]。为克服载流子迁移率退化等瓶颈,应变工程技术被广泛应用于对沟道传输特性的增强[2]。硅锗(SiGe)材料因晶格常数与硅(Si)存在差异,能够引入有益的应力,从而显著提升空穴迁移率,已成为高性能 p 型场效应晶体管(p-type field-effect transistor, pFET)沟道的核心材料[3-5]。从平面体硅技术到鳍式场效应晶体管(fin field-effect transistor, FinFET)乃至环栅(gate-all-around, GAA)晶体管架构,SiGe 沟道(尤其是高 Ge 组分沟道)技术的成功集成,对维持 CMOS 技术的持续发展至关重要[6-7]。

然而,新材料的引入在提升性能的同时,也带来了新的可靠性问题,并增加了器件退化机制的复杂性[8]。一方面,SiGe 沟道 pFET 在负偏置温度不稳定性(negative bias temperature instability, NBTI)方面展现出优于传统 Si pFET 的表现,这一固有优势使其在先进技术节点中极具吸引力[9-15]。另一方面,SiGe 沟道 pFET 独特的材料特性与能带结构也引发了一系列新挑战:正偏置温度不稳定性(positive bias temperature instability, PBTI)在特定条件下开始显现[16];栅氧介质早期击穿(breakdown, BD)风险增加[17];热载流子注入(hot carrier injection, HCI)表现出反常的关态退化模式[18-20];自热效应(self-heating effect, SHE)因 SiGe 较低的热导率而急剧恶化[21-24];低频噪声(low-frequency noise, LFN)特性也需重新评估[25]。这些问题相互交织,共同制约着采用 SiGe 沟道技术的集成电路的寿命与性能[26-30]。

尽管针对单一可靠性问题(如 NBTI、PBTI、HCI、TDDB 等)研究已有诸多报道[9-13, 16-22, 25-28, 31-34],但缺乏从 CMOS 技术集成的视角出发,对 SiGe 沟道器件各类可靠性问题的物理机理、相互关联及协同优化方案进行系统性梳理与评述。

1 SiGe 沟道 CMOS 可靠性的核心优势:NBTI特性的显著改善

NBTI 是 p 型金属-氧化物-半导体场效应晶体管(p-type metal-oxide-semiconductor field-effect transistor, pMOSFET)中最关键且致命的可靠性退化机制之一。大量实验研究表明,采用 SiGe 作为沟道材料能够显著改善器件的 NBTI 可靠性,这成为其在高性能技术节点应用中的核心优势。

1.1 SiGe 沟道 pFET 在 NBTI 特性上的突破

在超薄等效氧化层厚度领域,SiGe 沟道 pFET

器件在可靠性方面取得了显著进展, 这主要得益于 SiGe 材料本身的物理特性, 而通过对其器件结构的精细优化, 则可以进一步发挥这一优势。已有研究[11]指出, 通过提高 Ge 组分、采用较厚的 SiGe 量子阱(6.5 nm)并结合超薄硅帽(cap)层(0.8 nm), 即使在等效氧化层厚度(equivalent oxide thickness, EOT)缩小至 0.6 nm 的条件下, SiGe 沟道 pFET 仍能在 1 V 工作电压下达到 10 年的使用寿命。图 1 为典型 SiGe 沟道 pFET 金属栅堆叠示意图[11], 清晰展示了 Si cap 层、SiGe 沟道以及高介电常数/金属栅之间的相对位置与层次关系。在实际应用中, SiGe 沟道器件的栅极堆叠结构并不是唯一的, 其具体实现方式可能因工艺路线(如替代金属栅工艺)和器件架构(如 FinFET、环栅纳米片 GAA 等)的不同而有所差异。尽管如此, Si cap 层/界面层/HfO_2/金属栅的基本堆叠策略在多个技术节点中仍具有代表性和普遍适用性。图 2 结果表明, 在相同 NBTI 退化条件下, SiGe 沟道 pFET 相比硅基器件表现出明显更优的可靠性。在 EOT 进入亚纳米尺度的极端条件下, SiGe 沟道器件仍可承受更高的工作电场, 而硅沟道器件则出现性能的急剧下降。

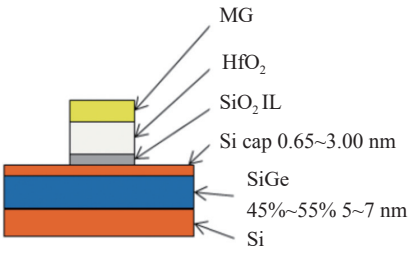

图 1　SiGe 器件典型栅极堆垛结构示意图[11]

Fig. 1 Schematic diagram of a typical gate stack structure for SiGe devices[11]

SiGe 在 NBTI 方面的优势还体现在其对不同工艺和器件架构的广泛适应性。在替代金属栅工艺以及 SiGe 沟道 FinFET 结构中, 均观测到 NBTI 寿命的显著提升。实验结果表明, 即使在三维 FinFET 架构中, 去除厚硅帽层的 SiGe 沟道器件仍具有比硅参照器件更长的寿命[12]。这一现象说明, NBTI 性能的改善来源于 SiGe 材料本身的特性, 而并不依赖于某一种特定工艺或器件结构。

1.2　物理机理剖析

SiGe 沟道 pFET 在 NBTI 可靠性方面的优越性

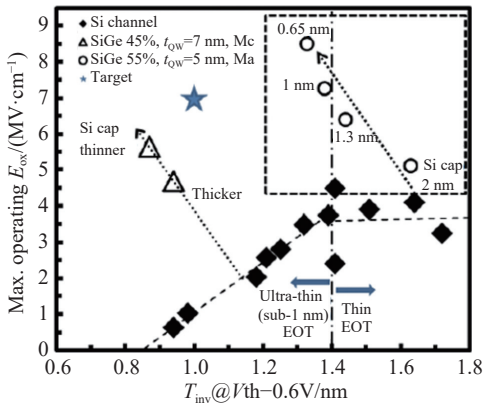

图 2　Si 和 SiGe 基器件在 NBTI 寿命下的最大工作电场对比[11]

Fig. 2 Comparison of maximum operating electric field for Si/SiGe devices under NBTI lifetime[11]

能主要归因于其特殊材料属性所引发的物理机制, 包括能带工程效应与应力效应两个部分。

Groeseneken 等[31]较早发现并指出, SiGe 器件的关键优势在于其载流子与缺陷态在能量上的解耦。如图 3 所示, 在相同应力条件下, SiGe 沟道 pFET 的 NBTI 电场加速因子显著低于硅基器件, 同时表现出更强的电场加速效应(其 γ 因子约为 5.8, 高于硅器件的 2.3)。研究[13]认为, 在 SiGe 沟道中, 价带顶相对于氧化层中的缺陷能级发生了有利于可靠性提升的偏移, 从而降低了空穴被界面缺陷捕获的概率。如图 4 所示, 随着 Ge 组分的增加, SiGe 的价带顶相对于硅向上移动, 产生显著的价带偏移。价带偏移提升了空穴能量, 同时空穴有效质量的降低导致态密度的减少。二者的共同作用显著削弱了沟道空穴与界面缺陷态之间的相互作用[13], 导致从物理上限制了空穴被陷阱捕获的概率, 从而抑

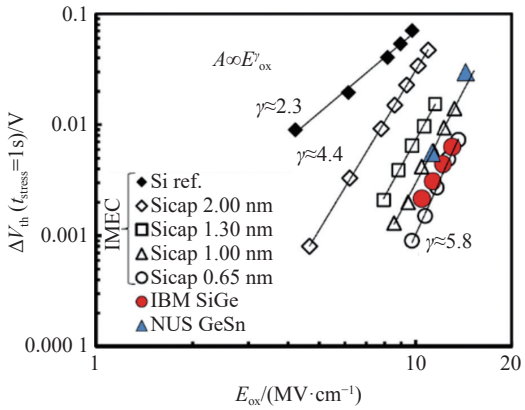

图 3　不同沟道材料的电场加速因子对比[31]

Fig. 3 Comparison of electric field acceleration factors for different channel materials[31]

制了 NBTI 退化过程。

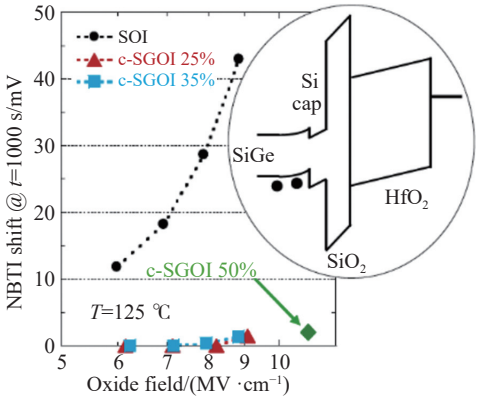

图 4 价带偏移导致的 NBTI 改善效应示意图[13]

Fig. 4 Schematic diagram of NBTI improvement effect induced by valence band offset[13]

在应力效应方面，SiGe 沟道与硅衬底之间的晶格失配会引入显著的单轴压应力。该应力不仅通过价带扭曲降低了空穴的有效质量、提高了其迁移率，还会对界面缺陷产生钝化效果。同时，压应力能够改变界面处硅悬挂键的电子态分布，削弱其作为电荷陷阱的活性，从而抑制界面态的产生与占据行为。从图 5 可以看出，随着 Ge 组分从 25% 增加至 34%，器件的阈值电压漂移显著减小。这一变化表明，更高的 Ge 组分导致了更强的单轴压应力，从而进一步改善了 NBTI 可靠性[32]。

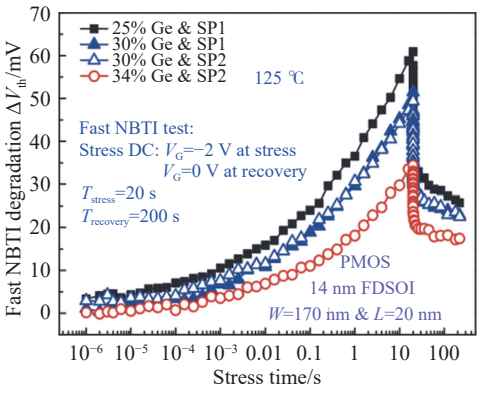

图 5 不同 Ge 组分 SiGe 沟道 pFET 的 NBTI 退化对比[32]

Fig. 5 Comparison of NBTI degradation characteristics in SiGe channel pFETs with different Ge compositions[32]

需要强调的是，上述应力效应具有显著的布局依赖性。在实际的集成电路中，相邻器件的间距会影响应力场的分布与保持。通常情况下，器件间距越小，应力效应越显著，可靠性也越高。这一现象被称为间距缩小效应[33]。因此，在应用 SiGe 沟道技术时，在设计阶段需充分考虑这种与布局相关的可靠性波动。

2 SiGe 沟道 CMOS 技术面临的可靠性挑战

2.1 正偏置温度不稳定性（PBTI）

正偏置温度不稳定性是 CMOS 技术中 n 型场效应晶体管（nFET）的一项关键可靠性参数。实验结果[16]表明，随着 SiGe 沟道中 Ge 组分的增加，nFET 的 PBTI 可靠性显著下降，如图 6 所示。这一现象与 pFET 中 NBTI 性能的改善形成鲜明对比，表明 SiGe 材料在 n 型和 p 型器件的可靠性方面存在显著差异。

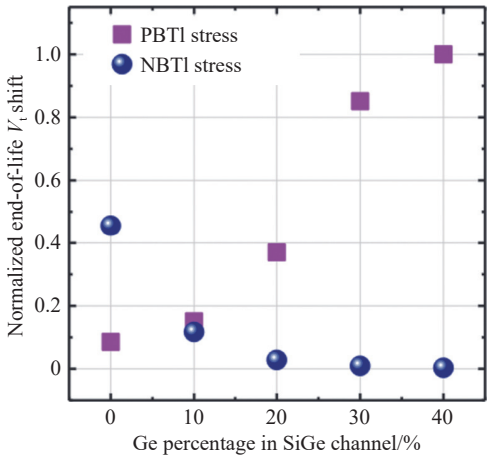

图 6 不同 Ge 组分下 SiGe 沟道 FETs 阈值电压漂移对比[16]

Fig. 6 Comparison of threshold voltage shift in SiGe channel nFETs with different Ge compositions[16]

从物理机制来看，PBTI 的退化主要与高 Ge 组分对界面层质量的不利影响有关。Lee 等[16]指出，当 Ge 组分超过 20% 时，会在界面层与 HfO_2 界面区域形成一类被称为“陷阱 B”的新型电子俘获中心，其能级低于高介电常数介质中原有的“陷阱 A”，导致沟道电子被捕获的概率增大，进而引发更显著的阈值电压漂移和电子迁移率下降。Southwick 等[17]进一步证实，器件制备过程中 Ge 原子向界面层的扩散是导致 PBTI 敏感性升高的主要原因。同时，Ge 的引入还可能减小导带偏移量，从而增大电子向缺陷态隧穿的概率。

因此，尽管 SiGe 沟道可显著改善 pFET 的 NBTI 可靠性，却可能导致 nFET 的 PBTI性能退化。

这一差异对工艺集成提出了更高要求, 需要统筹优化 Ge 组分、界面质量及栅介质工程, 以实现 SiGe 沟道 CMOS 技术整体可靠性的提升。

2.2　氧化层击穿(BD)

在 SiGe 沟道 CMOS 集成过程中, 栅介质击穿特性是一项关键的可靠性指标。研究[17]表明, SiGe 沟道较高的氧化速率易导致 nFET 与 pFET 的界面层厚度不一致, 从而使厚氧化层器件面临早期击穿的风险。Krishnan 等[5]采用金属有机化学气相沉积和原子层沉积来制备 SiO_2, 并结合后退火氮掺杂工艺, 有效降低了沉积氧化层中的缺陷态, 显著提高了厚氧化层器件的击穿电压 V_{BD}, 有效满足了高压 I/O 器件的可靠性要求。

另一方面, Southwick 等[17]对 SiGe FinFET 的氧化层击穿特性进行了系统研究, 发现 nFET 的 V_{BD} 在 0~40% Ge 组分范围内基本保持稳定, 表明电子注入势垒主要由 SiO_2 界面层决定, 受沟道成分影响较小。pFET 的 V_{BD} 随 Ge 组分的增加呈下降趋势, 如图 7 所示。

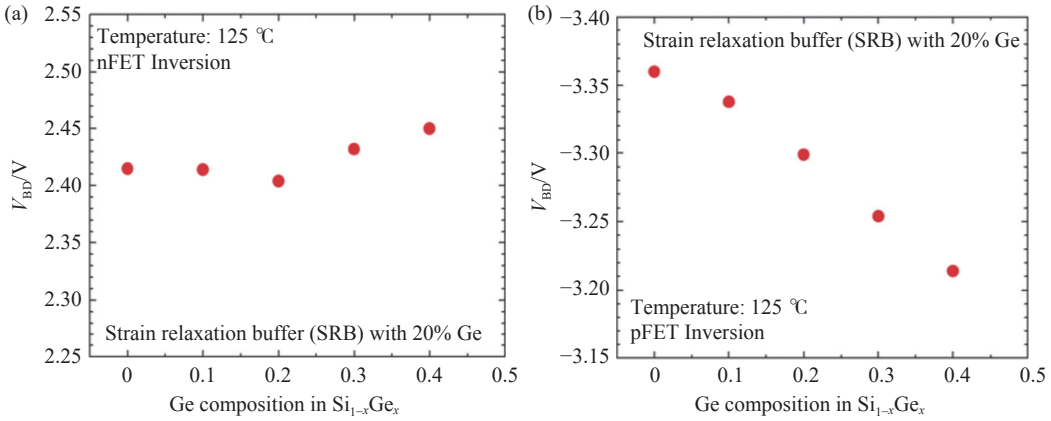

图 7　不同 Ge 组分 SiGe 沟道 FinFET 的栅极击穿电压对比[17]。(a)n 型和(b)p 型 FinFET 反型状态下的栅极击穿电压与沟道组分的关系

Fig. 7 Comparison of gate breakdown voltage in SiGe FinFETs with different Ge compositions[17]. Relationship between gate breakdown voltage and channel composition for (a) nFinFET and (b) pFinFET in inversion state

进一步分析[17]表明, 该变化主要源于阈值电压 V_{TH} 随 Ge 组分的增加而下降, 导致在相同应力条件下过驱动电压升高。若以过驱动电压(V_G−V_{TH})为横坐标重新分析栅极漏电流, 则可观察到相反的趋势。如图 8 所示, 在相同过驱动电压下, 高 Ge 组分(如 40%)pFET 的漏电流反而低于低 Ge 组分(如 20%)器件。该现象表明, Ge 组分提升所引起的价带偏移为沟道空穴注入栅极引入了额外的能量势垒, 从而部分抵消了因 V_{TH} 降低而带来的击穿风险。因此, 尽管以栅压为基准的表观击穿电压 V_{BD} 有所下降, 但基于过驱动电压评估的实际击穿特性却得到了改善。

综上所述: 在 SiGe 沟道技术中, nFET 的氧化层击穿并非主要限制因素; pFET 的表观 V_{BD} 虽随 Ge 组分的增加而下降, 但由于价带偏移带来的改善效应, 其击穿特性仍处于可接受范围。通过界面层工程(如氮掺杂)与能带工程(如 Ge 组分调控)的协同优化, 可在保持 NBTI 优势的同时, 有效避免氧化层击穿对 SiGe 沟道 CMOS 技术集成的制约。

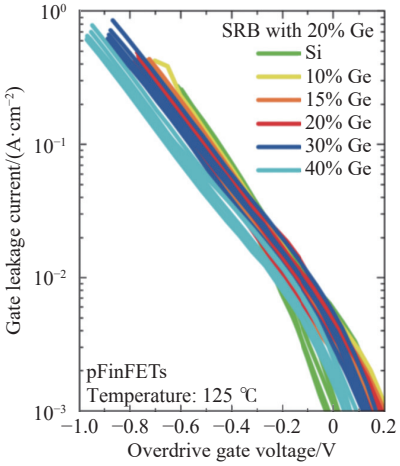

图 8　不同 Ge 组分 SiGe 沟道 pFinFET 的栅极漏电流密度与过驱动电压关系[17]

Fig. 8 Gate leakage current density versus overdrive voltage in SiGe pFinFETs with different Ge compositions[17]

2.3 热载流子注入退化(HCI)

在 SiGe 沟道 pFET 中，热载流子注入退化是与 NBTI 以及 PBTI 同样需要重点关注的可靠性问题。研究[18]表明，在高漏压、低栅压的关态应力条件下，SiGe 器件表现出显著的退化特征，其饱和电流(I_{dsat})并不像硅器件那样随应力时间逐渐降低，反而出现异常上升。这一现象主要源于热电子注入诱导的穿通(hot electron induced punchthrough, HEIP)效应。沟道漏端强电场产生的高能电子被捕获于栅介质或隔离介质中，在局部诱发额外的反型层，缩短了有效沟道长度，从而显著增大了关态漏电流。

Franco 等[19]通过器件空间退化图系统地研究了这一问题。研究结果表明：硅参考器件的工作电压区域主要受 NBTI 限制；而在 SiGe pFinFET 中，由于 NBTI 性能得到了显著改善，HCI 成为主要的退化机制，如图 9 所示。尤其在低栅压、高漏压的偏置条件下，SiGe 器件表现出更严重的性能衰退，表现为亚阈值摆幅(subthreshold swing, SS)的显著

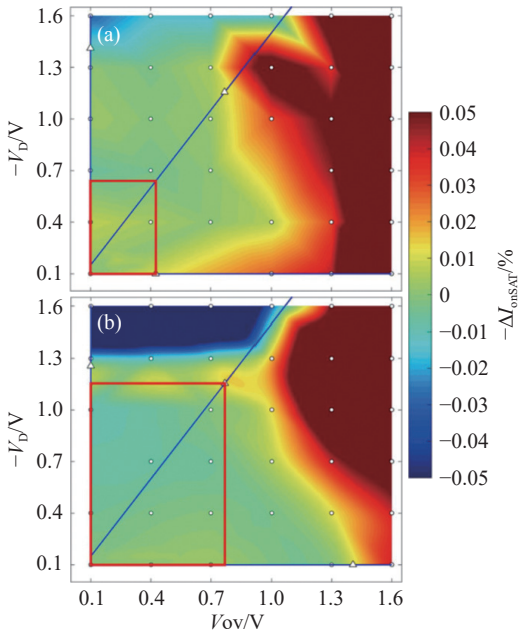

图 9 (a)Si 器件与(b)SiGe 器件的 I_{dsat} 退化[19]。白色圆点为实测应力偏置；白色三角形为达到失效判据的位置；蓝色分割线对应主要退化模式；红色矩形为安全工作区

Fig. 9 Degradation maps of I_{dsat} for (a) Si device and (b) SiGe device[19]. White circles mark the measured stress biases; white triangles mark where the failure criterion is met; blue cutlines delineate the main degradation regimes; red rectangles denote the safe operating area

变差和关态漏电流的增加。需要指出的是，在不同偏置条件下，SiGe 器件中存在电子与空穴注入的竞争机制：高栅压下空穴注入占主导，导致阈值电压漂移和电流下降；而在中低栅压下，电子注入增强，导致电流反而上升。这两种机制在某些偏置点甚至相互抵消，使阈值电压漂移较小，从而掩盖了实际更为严重的漏电退化问题。

综上所述，SiGe 沟道技术在 HCI 方面主要面临以下挑战：HEIP 效应导致安全工作区收缩；电子与空穴竞争注入引发的复杂退化行为；器件漏电成为比阈值漂移更敏感的可靠性参数。因此，在工艺开发与电路设计中，需对关态应力下的 HCI 机制进行精细优化与持续监测。

2.4 低频噪声(LFN)

低频噪声是影响模拟电路和射频应用中性能稳定性与精度的重要参数。在 SiGe 沟道器件中，通常可观察到比硅器件更低的 $1/f$ (f 为频率)噪声功率谱密度。这一改善主要归因于价带偏移导致空穴与氧化层之间势垒高度提升了约 4%，从而有效抑制了空穴向氧化层陷阱的隧穿过程，降低了界面陷阱与载流子之间的相互作用。研究[34]表明，经过 NBTI 应力作用后，双轴应变 SiGe 沟道器件的栅极输入端等效电压的 $1/f$ 噪声功率谱密度(ΔS_{VG})较硅基 pMOSFETs 降低了约 4 倍，表明其具备更优异的 $1/f$ 噪声特性。

低频噪声行为还强烈依赖于器件结构和晶向选择。Simoen 等[25]的系统研究表明：SiGe 平面器件和 (100) 取向 FinFET 的噪声特性与硅器件相似，噪声主要源于载流子的迁移率涨落；然而，对于(110)取向的体硅 FinFET，外延层中存在的晶面台阶和位错缺陷会引入额外的产生-复合噪声，该现象在鳍宽较大时尤为显著。此类产生-复合噪声不仅增大了器件间的噪声波动，也表明在纳米尺度下，缺陷与随机电报噪声对总体低频噪声的贡献日益凸显。

SiGe 沟道在低频噪声方面的优势源于价带偏移对陷阱相互作用的抑制，但其实际噪声水平仍受沟道晶向、应变状态和界面质量的影响。因此，优化 SiGe 与介质层之间的界面特性，合理选择 Fin 结构的晶体取向，是进一步抑制低频噪声、提升模拟电路可靠性的重要途径。

2.5　自热效应(SHE)

随着 CMOS 技术节点缩小至纳米量级, 自热效应(SHE)已成为影响采用高迁移率沟道材料的器件可靠性的一个关键问题。在 SiGe 和 Ge 沟道 FinFET 中, 沟道热阻显著增加, 导致器件工作时结温明显升高。

实验和仿真结果[22]均表明, 在 N7 技术节点下, 采用 SiGe 缓冲层的应变 Ge(strained Germanium, sGe) pFinFET 的自热效应比松弛 Ge(relaxed Germanium, rGe)器件高约 54%, 较硅参考器件则高出 115%(图 10)。分析认为, 这一现象发送的根本原因在于合金散射所导致的热导率降低: SiGe 合金在声子输运过程中表现出比纯 Si 或纯 Ge 更强烈的质量无序散射, 使得器件内部产生的热量更难向衬底耗散, 而是更多地通过上方的金属互连结构进行散热, 从而加剧了局部温度的升高。

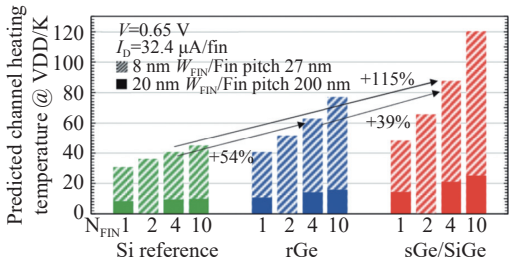

图 10　Si、rGe 与 sGe/SiGe FinFET 的自热效应对比[22]

Fig. 10　Comparison of self-heating effects among Si, relaxed Ge (rGe), and strained Ge/SiGe FinFETs[22]

器件的几何结构对自热效应具有重要影响。较窄的鳍宽和较多的鳍数量均会加剧热积累效应, 这一现象在多鳍 FinFET 架构中尤为显著。三维有限元仿真结果[22]进一步表明, 当 SiGe 缓冲层位于鳍底部时会阻碍热量向衬底方向的传导, 导致热流更多地流向后段互连, 从而增加了局部热点出现的风险。

综上所述, 尽管 SiGe 沟道在载流子迁移率和 NBTI 可靠性等方面表现出显著优势, 但自热效应成为限制其在高性能 CMOS 中应用的主要瓶颈之一。因此, 在工艺集成过程中, 需通过优化鳍片结构(如宽度与间距)、改进 SiGe 缓冲层设计以及引入高导热材料等方法, 缓解热积累问题, 从而确保 SiGe 沟道 CMOS 技术在先进节点下的可靠运行。

3　总结与展望

本文系统回顾了 SiGe 沟道 CMOS 器件可靠性方面的研究进展。SiGe 沟道 CMOS 器件在可靠性方面的表现与传统 Si 工艺既有共性, 也存在显著差异。首先, SiGe 与 Si CMOS 均受到 BTI、HCI、TDDB 与 LFN 等机制的影响, 其退化机理在很大程度上可沿用同一套表征与建模框架。同时, 材料与工艺的差异也带来显著的敏感性变化: 一方面, SiGe 沟道 pFET 在 NBTI 方面表现出系统性改善, 这与其价带偏移及应变特性相关; 另一方面, 高 Ge 组分不可避免地导致界面质量下降, 使 nFET 的 PBTI 受到较大影响, 需在栅堆叠与界面工程方面进行额外权衡。此外, SiGe 较低的热导率以及缓冲层热阻也使其自热效应更加突出, 从而加速了与温度相关的退化。SiGe 器件的低频噪声特性受晶向与缺陷密度的影响显著, 并且在不同器件结构之间表现出明显差异。

此外, 在实际电路工作中, 上述可靠性退化机制并非孤立发生, 而是存在复杂的交互与耦合效应, 这对准确评估器件的最终寿命提出了更高要求。其中, SHE 与 HCI 之间的协同作用尤为关键。SHE 导致的沟道局部温度升高会显著加剧 HCI 退化: 一方面, 晶格温度上升增加了载流子的散射概率, 从而产生更多能量高于势垒的热载流子; 另一方面, 高温会改变界面陷阱和氧化层陷阱的电荷占据状态。对于本征热导率较低的 SiGe 沟道器件, 这种 SHE-HCI 耦合效应预计将比传统 Si 器件更为显著。此外, 温度与偏置温度不稳定性(BTI)之间也存在紧密联系, 高温不仅会加速 BTI 的退化速率, 还可能影响其退化后的恢复行为。因此, 未来亟须开展系统性的多应力耦合实验, 发展能够描述多种退化机制协同作用的紧凑模型, 从而更准确地预测 SiGe 沟道 CMOS 电路在真实工作环境下的寿命。

未来。需要在以下几个方向开展更为深入的研究: (1)发展更为精确的物理模型以描述热电子诱导穿通等新型退化机制; (2)探索能够协同优化器件性能、NBTI、PBTI 及 SHE 的栅堆叠和沟道集成策略, 例如采用复合沟道结构或新型界面层技术; (3)开展系统级评估, 研究自热与热载流子退化对电路寿命及高频特性(如噪声、功率效率)的影响;

(4)发展设计-技术协同优化方法，并将研究进一步扩展至环栅、互补场效应晶体管等新兴器件架构，评估 SiGe 沟道在这些技术中的可靠性表现，并探索其在毫米波等高频应用中的潜力。

参考文献：

[1] RAZAVIEH A, ZEITZOFF P, NOWAK E J. Challenges and limitations of CMOS scaling for FinFET and beyond architectures[J]. IEEE Transactions on Nanotechnology, 2019, 18: 999-1004.

[2] JAIKISSOON M, KÖROĞLU Ç, YANG J A, et al. CMOS-compatible strain engineering for monolayer semiconductor transistors[J]. Nature Electronics, 2024, 7: 885-891.

[3] HUANG S H, LU T M, LU S C, et al. Mobility enhancement of strained Si by optimized SiGe/Si/SiGe structures[J]. Applied Physics Letters, 2012, 101(4): 042111.

[4] WITTERS L, TAKEOKA S, YAMAGUCHI S, et al. 8Å Tinv gate-first dual channel technology achieving low-Vt high performance CMOS[C]//Proceedings of the 2010 Symposium on VLSI Technology. New York: IEEE, 2010: 181-182.

[5] KRISHNAN S, KWON U, MOUMEN N, et al. A manufacturable dual channel (Si and SiGe) high-k metal gate CMOS technology with multiple oxides for high performance and low power applications[C]//Proceedings of the 2011 International Electron Devices Meeting. New York: IEEE, 2011: 28.1. 1-28.1. 4.

[6] CHU C L, HSU S H, CHANG W Y, et al. Stacked SiGe nanosheets p-FET for Sub-3 nm logic applications[J]. Scientific Reports, 2023, 13: 9433.

[7] SHARMA R, RANA A K. Strained Si: Opportunities and challenges in nanoscale MOSFET[C]//Proceedings of the 2015 IEEE 2nd International Conference on Recent Trends in Information Systems (ReTIS). New York: IEEE, 2015: 475-480.

[8] ZHOU H M, WANG M M, BAO R Q, et al. SiGe gate-all-around nanosheet reliability[C]//Proceedings of the 2022 IEEE International Reliability Physics Symposium. New York: IEEE, 2022: P60-1-P60-4.

[9] FRANCO J, KACZER B, MITARD J, et al. NBTI reliability of SiGe and Ge channel pMOSFETs with SiO_2/HfO_2 dielectric stack[J]. IEEE Transactions on Device and Materials Reliability, 2013, 13(4): 497-506.

[10] ZHOU H, WANG M, LOUBET N, et al. Impact of gate stack thermal budget on NBTI reliability in gate-all-around nanosheet P-type devices[C]//Proceedings of the 2023 IEEE International Reliability Physics Symposium. New York: IEEE, 2023: 1-6.

[11] FRANCO J, KACZER B, ENEMAN G, et al. 6Å EOT $Si_{0.45}Ge_{0.55}$ pMOSFET with optimized reliability (V_{DD}=1V): Meeting the NBTI lifetime target at ultra-thin EOT[C]//Proceedings of the 2010 International Electron Devices Meeting. New York: IEEE, 2010: 4.1. 1-4.1. 4.

[12] FRANCO J, KACZER B, ENEMAN G, et al. Superior NBTI reliability of SiGe channel pMOSFETs: Replacement gate, FinFETs, and impact of body bias[C]//Proceedings of the 2011 International Electron Devices Meeting. New York: IEEE, 2011: 18.5. 1-18.5. 4.

[13] HUTIN L, CASSÉ M, LE ROYER C, et al. 20 nm gate length trigate pFETs on strained SGOI for high performance CMOS[C]//Proceedings of the 2010 Symposium on VLSI Technology. New York: IEEE, 2010: 37-38.

[14] YU X, CHENG R, LIU W, et al. A fast V_{th} measurement (FVM) technique for NBTI behavior characterization[J]. IEEE Electron Device Letters, 2018, 39(2): 172-175.

[15] YU X, LU J, LIU W, et al. Ultra-fast (ns-scale) characterization of NBTI behaviors in Si pFinFETs[J]. IEEE Journal of the Electron Devices Society, 2020, 8: 577-583.

[16] LEE C H, SOUTHWICK R G, MOCHIZUKI S, et al. Toward high performance SiGe channel CMOS: Design of high electron mobility in SiGe nFinFETs outperforming Si[C]//Proceedings of the 2018 IEEE International Electron Devices Meeting. New York: IEEE, 2018: 35.1. 1-35.1. 4.

[17] SOUTHWICK R G, WANG M, MOCHIZUKI S, et al. SiGe channel CMOS: Understanding dielectric breakdown and bias temperature instability tradeoffs[C]//Proceedings of the 2019 Symposium on VLSI Technology. New York: IEEE, 2019: T96-T97.

[18] WANG M M, MIAO X, STATHIS J H, et al. Hot carrier effect in ultra-scaled replacement metal gate $Si_{1-x}Ge_x$ channel p-FinFETs[C]//Proceedings of the 2016 IEEE International Electron Devices Meeting. New York: IEEE, 2016: 15.4. 1-15.4. 4.

[19] FRANCO J, KACZER B, CHASIN A, et al. Hot electron and hot hole induced degradation of SiGe p-FinFETs studied by degradation maps in the entire bias space[C]//Proceedings of the 2018 IEEE International Reliability Physics Symposium. New York: IEEE, 2018: 5A. 1-1-5A. 1-7.

[20] CHANG H, ZHANG Y K, ZHOU L D, et al. Comparison of

DC/AC hot carrier degradation between short channel Si bulk and SiGe SOI p-FinFETs[C]//Proceedings of the 2021 IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits. New York: IEEE, 2021: 1-4.

[21] BURY E, KACZER B, LINTEN D, et al. Self-heating in FinFET and GAA-NW using Si, Ge and III/V channels[C]//Proceedings of the 2016 IEEE International Electron Devices Meeting. New York: IEEE, 2016: 15.6. 1-15.6. 4.

[22] BURY E, KACZER B, MITARD J, et al. Characterization of self-heating in high-mobility Ge FinFET pMOS devices[C]// Proceedings of the 2015 Symposium on VLSI Technology. New York: IEEE, 2015: T60-T61.

[23] YAN C, DING Y, QU Y, et al. Universal hot carrier degradation model under DC and AC stresses[C]//Proceedings of the 2022 IEEE International Reliability Physics Symposium (IRPS). New York: IEEE, 2022: 7A.1-1-7A.1-6.

[24] DING Y, YAN C, QU Y, et al. Re-examination of hot carrier degradation mechanism in ultra-scaled nFinFETs[J]. IEEE Electron Device Letters, 2022, 43(11): 1802-1805.

[25] SIMOEN E, ROMEO T, PANTISANO L, et al. Insights in low frequency noise of advanced and high-mobility channel transistors[C]//Proceedings of the 2012 International Electron Devices Meeting. New York: IEEE, 2012: 28.7. 1-28.7. 4.

[26] WALTL M, GRILL A, RZEPA G, et al. Nanoscale evidence for the superior reliability of SiGe high-*k* pMOSFETs[C]// Proceedings of the 2016 IEEE International Reliability Physics Symposium. New York: IEEE, 2016: XT-02-1-XT-02-6.

[27] FRANCO J, KACZER B, MITARD J, et al. Superior reliability and reduced time-dependent variability in high-mobility SiGe channel pMOSFETs for VLSI logic applications[C]//Proceedings of the 2012 IEEE International Conference on IC Design & Technology. New York: IEEE, 2012: 1-4.

[28] JIAO G, TOLEDANO-LUQUE M, NAM K J, et al. Acceptor-like trap effect on negative-bias temperature instability (NBTI) of SiGe pMOSFETs on SRB[C]//Proceedings of the 2016 IEEE International Electron Devices Meeting. New York: IEEE, 2016: 31.2. 1-31.2. 4.

[29] HASHEMI P, ANDO T, CARTIER E A, et al. High performance and reliable strained SiGe PMOS FinFETs enabled by advanced gate stack engineering[C]//Proceedings of the 2017 IEEE International Electron Devices Meeting. New York: IEEE, 2017: 37.3. 1-37.3. 4.

[30] PARIHAR N, SOUTHWICK R, WANG M, et al. Modeling of NBTI time kinetics and T dependence of VAF in SiGe p-FinFETs[C]//Proceedings of the 2017 IEEE International Electron Devices Meeting. New York: IEEE, 2017: 7.3. 1-7.3. 4.

[31] GROESENEKEN G, FRANCO J, CHO M, et al. BTI reliability of advanced gate stacks for Beyond-Silicon devices: Challenges and opportunities[C]//Proceedings of the 2014 IEEE International Electron Devices Meeting. New York: IEEE, 2014: 34.4. 1-34.4. 4.

[32] NDIAYE C, BIAVAIX A, AIABI M, et al. New insights on strained SiGe channels pFET NBTI reliability[C]// Proceedings of the 2017 IEEE International Reliability Physics Symposium (IRPS). New York: IEEE, 2017: XT-7.1-XT-7.6.

[33] HUARD V, NDIAYE C, ARABI M, et al. Key parameters driving transistor degradation in advanced strained SiGe channels[C]//Proceedings of the 2018 IEEE International Reliability Physics Symposium. New York: IEEE, 2018: P-TX. 4-1-P-TX. 4-6.

[34] DEORA S, PAUL A, BIJESH R, et al. Intrinsic reliability improvement in biaxially strained SiGe p-MOSFETs[J]. IEEE Electron Device Letters, 2011, 32(3): 255-257.