文章编号: 1007-4252(2025)06-0494-09 DOI: 10.20027/j.gncq.2025.0037 CSTR: 32180.14.j.gncq.2025.0037

QSPI 相变存储器的读写优化

袁 野[1,2], 李 喜[1,*], 陈后鹏[1], 宋志棠[1]

(1. 中国科学院上海微系统与信息技术研究所, 集成电路材料全国重点实验室, 上海 200050; 2. 中国科学院大学, 北京 100049)

摘要: 相变存储器是一种基于硫系化合物材料在晶态与非晶态之间的电阻差异来实现数据存储的新型非易失性存储器, 具有高速、高密度、低功耗、与互补金属氧化物半导体(complementary metal oxide semiconductor, CMOS)工艺兼容性良好、抗电磁干扰及抗辐照等显著优势, 有望成为新一代主流存储技术。然而, 相变存储器读写不对称的特性为其进一步发展带来了诸多挑战。针对四通道串行外设接口(quad serial peripheral interface, QSPI)相变存储器提出了一种数据粒度转换方案, 以优化其读写速率。为提升写入速度, 在 QSPI 相变存储器中引入“写入掩码”设计, 将顺序写入时钟频率提升至 80 MHz, 并采用预读取方法改进了相变存储器的读取效率。仿真结果表明, 所提出的读写策略在确保相变存储器操作可靠性的同时, 显著提升了 QSPI 的通信速率。

关键词: 相变存储器; 读写不对称性; 粒度转换; QSPI

中图分类号: TP333 **文献标志码:** A

Read/write optimization of QSPI phase change memory

YUAN Ye[1,2], LI Xi[1,*], CHEN Houpeng[1], SONG Zhitang[1]

(1. National Key Laboratory of Materials for Integrated Circuits, Shanghai Institute of Microsystem and Information Technology, Chinese Academy of Sciences, Shanghai 200050, China; 2. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: Phase change memory represents an advanced non-volatile memory technology that utilizes the resistivity difference between the crystalline and amorphous states of chalcogenide compounds to achieve data storage. It is anticipated to emerge as a next-generation mainstream storage solution due to its high-speed operation, high density, low power consumption, compatibility with complementary metal oxide semiconductor (CMOS) processes, and resistance to electromagnetic interference and radiation. However, its asymmetric read-write characteristics present significant challenges to further advancements.

收稿日期: 2025−05−14; **修订日期:** 2025−06−03

基金项目: 国家重点研发计划 (No. 2023YFB4502903).

作者简介: 袁 野(2000—), 男, 硕士研究生, 主要研究方向为相变存储器电路设计(E-mail: 928400151@qq.com).

通信作者: 李 喜(1987—), 男, 博士, 研究员, 主要研究方向为新型存储技术、存算一体与存内计算、半导体器件物理等(E-mail: ituluck@mail.sim.ac.cn).

This paper introduces a data granularity conversion scheme for quad serial peripheral interface (QSPI) phase change memory aimed at optimizing read and write performance. To enhance write speed, a "writing mask" design is incorporated into the QSPI phase change memory, enabling a sequential write clock frequency of up to 80 MHz. Additionally, the read efficiency of the phase change memory is improved through the adoption of a pre-reading technique. Simulation results demonstrate that the proposed read/write strategy significantly enhances the communication speed of the QSPI while maintaining the operational reliability of the phase change memory.

Key words: phase change memory;　read-write asymmetry;　granularity conversion;　QSPI

0　引言

大数据时代的到来, 尤其是人工智能与物联网技术的快速发展, 对存储技术提出了前所未有的挑战[1]。如何高效存储和处理海量数据已成为当前亟待解决的难题。随着工艺节点的微缩, 传统存储技术面临日益严峻的物理限制, 性能提升日益困难, 难以满足庞大的数据处理需求, 同时也加剧了冯·诺依曼架构“存算分离”体系下的存储墙问题[2]。因此, 发展更高性能的存储技术及新的计算架构已成为时代的迫切需求。

相变存储器(phase change memory, PCM)是一种基于硫族化合物材料在低电阻的晶态与高电阻的非晶态之间可逆相变的非易失性存储技术[3-4], 具有高速读写、高耐久性、低功耗以及与 CMOS 工艺兼容等优势。以 $Ge_2Sb_2Te_5$ 为代表的锗锑碲(GST)合金是目前应用最广泛的相变材料[5]。该技术最早由 Ovshinsky 于 20 世纪 60 年代提出[6-7], 并在 21 世纪初由英特尔、三星等企业推动实现商业化[8-9]。2015 年后, PCM 技术逐步应用于嵌入式存储与独立存储芯片领域。2017 年, 英特尔推出了基于 3D XPoint 技术的 PCM 产品傲腾(Optane)数据中心级固态硬盘 P4800X 和傲腾持久内存[10], 成为 PCM 产品领域的重要突破。近年来, 基于 PCM 构建高速低功耗的神经形态计算架构, 并将其应用于人工智能领域成为研究热点[11]。2024 年, Yan 等[12] 首次开发了基于 PCM 的神经流形学习系统, 展现出 PCM 应用于人工智能领域的巨大潜力。3D XPoint 技术[13] 的问世以及 12 态 PCM 芯片[14] 的成功研发, 标志着 3D 堆叠和多级单元技术已成功应用于 PCM, 进一步拓宽了其技术前景, 使其成为下一代存储技术的核心候选之一。

四通道串行外设接口(quad serial peripheral interface, QSPI)作为高速串行通信技术的代表, 凭借其四线并行传输、低引脚占用和高带宽效率的特性, 已在智能终端、汽车电子等多个领域实现规模化应用。然而, 传统基于 NOR Flash 的存储介质存在写入延迟高、耐久性有限等缺陷, 在自动驾驶数据记录、AI 模型参数实时更新等场景中可能丢失关键数据或系统延迟响应。开发基于 QSPI 的相变存储芯片将突破现有存储介质的性能瓶颈, 为高能效、大算力的人工智能终端提供关键支撑。

值得注意的是, PCM 存在读写不对称问题。在 QSPI 相变存储器中, 传统的逐字节写入机制会带来显著的时序瓶颈。当主机以 8 比特(bit)数据单元连续写入时, 采用逐字节写入模式的 PCM 数百纳秒量级的单元写入延时将直接限制接口时钟频率: 为确保时序连续性, PCM 必须在 8 个 QSPI 时钟周期内完成单元写入以接收后续数据, 从而导致理论最大时钟频率受限于 PCM 的写入时间。

为此, 本文提出一种数据粒度转换方案, 通过控制 PCM 从主机接收多个字节数据后进行一次性写入, 达到以空间换取时间的效果。同时, 为保障最小数据粒度的写入可靠性, 即在 QSPI 主机端单次发送 8 bit 最小粒度数据时仍能正确写入 PCM, 本文提出一种在 PCM 同一地址上的“掩码写入技术”, 引入类似数字掩模的地址映射机制, 允许对同一物理地址的指定字节位置进行选择性更新。本文提出的数据粒度转换方案也为数据预读取创造了条件。通过提前读取同一地址上的多字节数据, 并根据主机端需求进行相应的输出, 可进一步提升读取效率。 通过以上技术创新, 在保证始终支持 8 bit 最小读写粒度的基础兼容性前提下, 采用空间换时间的策略有效提升了时钟频率, 从而提高了通信速率和接口带宽利用率。

1 相变存储器的读写不对称性

图 1 为 PCM 的状态转换示意图[15]。写“1”操作(Set)通过施加一个中等强度、较长脉宽(通常持续数百纳秒)的电流脉冲,使材料温度升至结晶温度(低于熔点),随后缓慢冷却以实现原子的有序排列,形成晶态结构;写“0”操作(Reset)则通过施加一个高强度、短脉宽(通常持续几十纳秒)的电流脉冲,使材料温度超过熔点,随后急速冷却,使材料从熔融态直接转变为非晶态;在数据读取(Read)操作中,通过施加强度较弱的电脉冲测量存储单元电阻值,该脉冲远低于触发相变的阈值,因此不会改变材料状态[16]。从图 2 可以看出,PCM 的写入操作所需时间与功耗远高于读取操作。此外,PCM 的写入寿命与读取寿命也存在显著的不对称性。PCM 的写入寿命,即存储器单元能够可靠执行 Set/Reset 操作的最大次数,约为 10^7 次[17],其主要限制因素为相变材料的疲劳特性,反复相变导致硫系化合物的原子结构逐渐退化并引发缺陷累积;而 PCM 的读取寿命在理论上是无限的,这是因为读取操作所施加的电脉冲强度极低,是非破坏性的。PCM 在速度、功耗及寿命等 3 个方面的读写不对称性对其存储系统的设计提出了重大挑战。

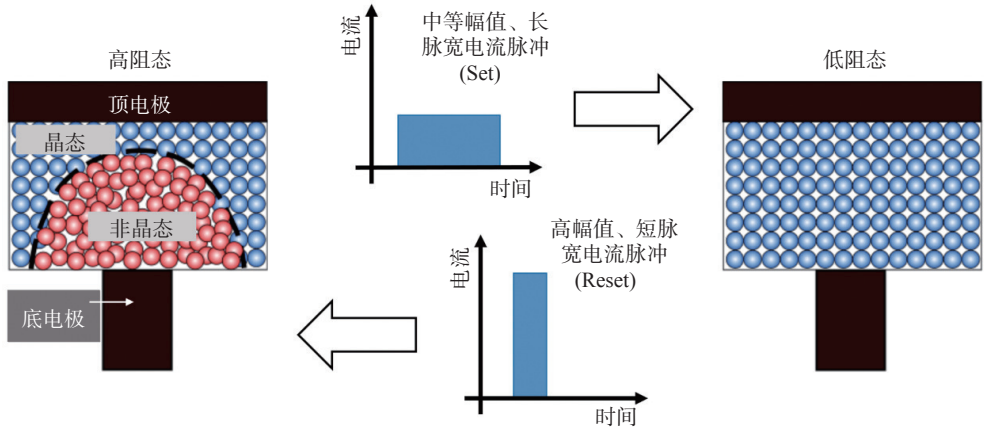

图 1 PCM 状态转换示意图[15]

Fig. 1 Schematic diagram of state transition of PCM[15]

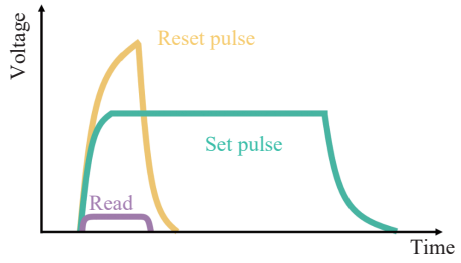

图 2 PCM 读写操作示意图

Fig. 2 Schematic diagram of PCM read/write operation

针对 PCM 在写入延迟和写入寿命方面的瓶颈,相关研究人员已在材料工艺领域进行了多项革新。一些研究从主存架构和软件优化等层面提出了改进方案。例如,Ferreira 等[18]提出了一种 PCM 与动态随机存取存储器混合的架构,并引入一种 PCM 感知交换算法以实现损耗均衡,显著提升了耐久性。Lee 等[19]则针对文件系统进行了创新,提出了名为 Shortcut-JFS 的 PCM 日志文件系统,利用 PCM 的随机存取特性,将日志写入量降低 50%以上,从而通过减少写入操作次数来提高性能与寿命。Zhou 等[20]采用比特级去除冗余写入、行级移位以及段级交换的方案,进一步延长了写入寿命。Cho 等[21]提出了一种 Flip-N-Write(FNW)方法,在写操作中快速逐位检查原始数据字与新数据字,选择写入新数据字或其“翻转”值,确保更新的最大位数不超过数据总宽度的一半,在提升性能的同时降低了功耗。上述方案大多通过减少写入次数来优化存储器的性能与寿命。

此外,还有一类优化方案利用 PCM 的 Reset 操作比 Set 操作快得多的特性来提升电路性能。例如,Qureshi 等[22]提出了一种名为 PreSET 的预置位方案,在写入某一存储器行之前,主动对该行中的所有位执行 Set 操作。当回写请求到达时,由于该行已提前完成 Set 操作,仅需对需要改变的位执行快速 Reset 操作即可,显著缩短了写入延迟。

Yue 等[23] 进一步提出了一种名为 Two-Stage-Write 的新型写入方案, 将写入过程分为两个阶段: 在“写 0”阶段以加速模式完成所有“0”位的写入, 在“写 1”阶段则通过增强并行写入方式完成所有“1”位的写入。此外, 在“写 1”阶段还可结合 FNW 方法进一步提升写入性能。在此基础上, Li 等[24] 提出了 Three-Stage-Write 方案, 在 Two-Stage-Write 方案的写“0”与写“1”阶段之前, 增加一个比较阶段, 将新数据与旧数据进行比较并重新编码, 以最小化需要改变的位数。

综合上述分析可以总结出提高 PCM 写入寿命与操作速度的一般思路: 通过减少写入次数与均衡损耗以提升耐久性, 同时最大化利用写入延迟特性以提高速度。基于这一思路, 本研究致力于在相同的写入延迟下尽可能地提高写入操作的并行度, 并据此提出一种数据粒度转换方案。

2　数据粒度转换方案

QSPI 相变存储器的框架如图 3 所示。QSPI 接收的数据会暂存于数据 I/O 寄存器模块中, 随后通过 PCM 访问控制模块被写入 PCM 阵列。实施数据粒度转换方案需要改变原有寄存器的位宽及 PCM 访问逻辑, 因此需重新设计数据 I/O 寄存器与 PCM 访问控制等电路模块。电路设计采用 Verilog 语言, 选择 VCS 与 Verdi 作为主要实验平台, 以实现高效的编译与仿真。

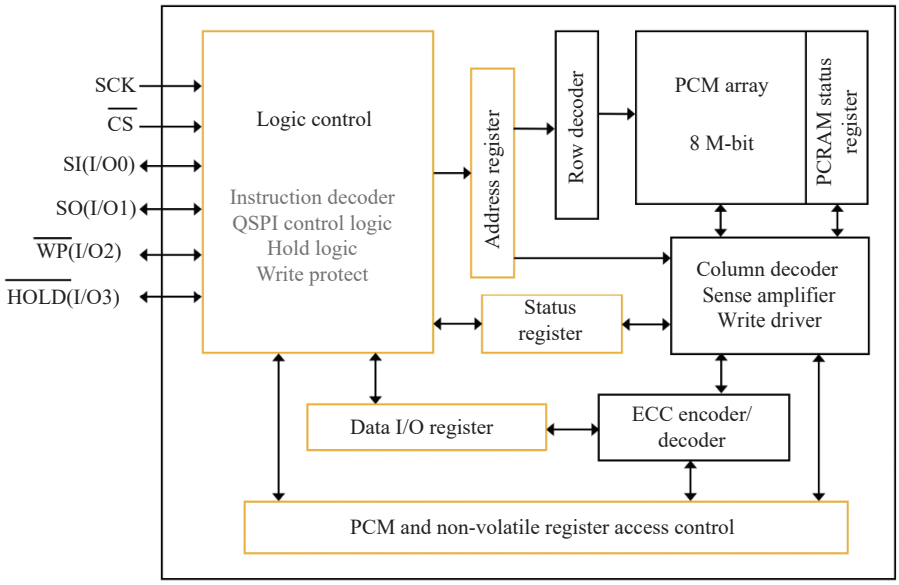

图 3　QSPI 相变存储器整体框架

Fig. 3　Framework of QSPI phase change memory

进行数据粒度转换时, 首先需要确定合适的 PCM 数据位宽。在写操作过程中, QSPI 每接收与 PCM 数据位宽相等数量的数据时, 就需要对 PCM 阵列进行一次写入。为确保 PCM 能够正确且连续地写入数据, 其写入延时($T_{\text{set-delay}}$)必须小于 PCM 数据位宽(W_{data})对应的 QSPI 时钟周期(T_{QSPI})。由此, 可推导出以下关系式:

$$W_{\text{data}} T_{\text{QSPI}} \geqslant T_{\text{set-delay}} \tag{1}$$

对式(1)进一步转化可得:

$$f_{\text{QSPI}} \leqslant W_{\text{data}} / T_{\text{set-delay}} \tag{2}$$

式中: f_{QSPI} 为 QSPI 的时钟频率; $T_{\text{set-delay}}$ 的典型值为 400 ns, 能够在编程效果与编程时间之间实现较好的平衡。优化前, PCM 的数据位宽设计为 8 位。根据上述公式, f_{QSPI} 被限制在 20 MHz。在不改变 PCM 写入延时的情况下, 增加 PCM 的数据位宽可能会使 QSPI 的时钟频率更快, 从而显著提升通信速度。但实际上, 随着 W_{data} 的增大, 芯片的引脚数量和芯片面积会随之增加, 从而导致成本上升。此外, 对存储器进行过多比特的读写操作会显著增加瞬态功耗, 且 QSPI 支持的时钟频率也存在上限。因此, 综合考虑上述因素, 将 W_{data} 设计为 32 位, 此时 f_{QSPI} 最高可达 80 MHz, 传输速率提升至优化前的 4 倍, 远高于 UART (115.2 kbps)和 IIC(5 Mbps)等其他串行接口的最高传输速率, 在较大程度上发

挥 QSPI 速度优势的同时，兼顾了芯片的功耗与面积。以下将从写入和读出两个方面分别阐述数据粒度转换方案的工作原理。

2.1 基于数据粒度转换的写入掩码设计

写入掩码（Mask）的设计旨在使 PCM 能够在接收主机发送的多个字节数据后实现一次性写入，同时保持最小的数据粒度不丢失。PCM 的 W_{data} 设计为 32 位时，控制器最多可控制接收 4 个字节数据并一次性写入。因此，将 Mask 设计为 4 位，每位分别对应一次性写入 PCM 的 32 位数据中的 4 个字节。例如，Mask = 4’b0001 对应写入 PCM 的 32 位数据中的［7:0］为有效写入数据；Mask = 4’b1110 对应写入 PCM 的 32 位数据中的［31:8］为有效写入数据。写入掩码需同步至 PCM 中，以确保能够根据写入掩码对同一物理地址的指定字节位置进行选择性更新。

图 4 展示了写入掩码设计的逻辑，呈现了 QSPI 主机端发送的地址、PCM 地址以及写入掩码之间的转换关系。对于一次最多 32 位数据的写入操作，控制器在数据输入阶段使用一个 5 位计数器来进行控制，当计数器溢出时触发一次写操作（在片选信号/CS 拉高时，无论计数器是否计满，都会执行最后一次写入）。地址的自增以 5 位计数器计满为触发条件。在地址阶段，QSPI 主机端发送连续 3 个字节（24 位）的地址数据。由于存储器容量为 8 M-bit，且 QSPI 以字节为单位收发数据，因此有效地址位数为 20 位，控制器将忽略前 4 位地址。同时，数据粒度转换要求将接收的高 18 位地址相同的 4 个 8 位数据（低 2 位地址分别为 00、01、10、11）合并为一个 32 位数据后再写入 PCM。因此，我们仅需关注实际发送给 PCM 的 20 位地址的前 18 位，而低 2 位地址具有双重作用：一是赋值给 5 位计数器的高 2 位，当接收的首字节地址低 2 位不是 00 时，控制器在计数器计满时立即写入，无须等待 32 位数据，以确保同一次写入 PCM 的每个字节数据的高 18 位地址相同；二是低 2 位地址的 4 种情况对应 32 位数据寄存器中 4 个字节的位置。每接收 1 个字节，便将其写入数据寄存器的相应位置，并将对应的 Mask 位设置为 1，从而确保数据能够正确写入 PCM。通过上述设计，主机端发送的每个字节数据在 PCM 中的存储位置与存储器的 20 位地址一一映射，确保数据存取的可靠性。采用写入掩码设计的写操作流程如图 5 所示。

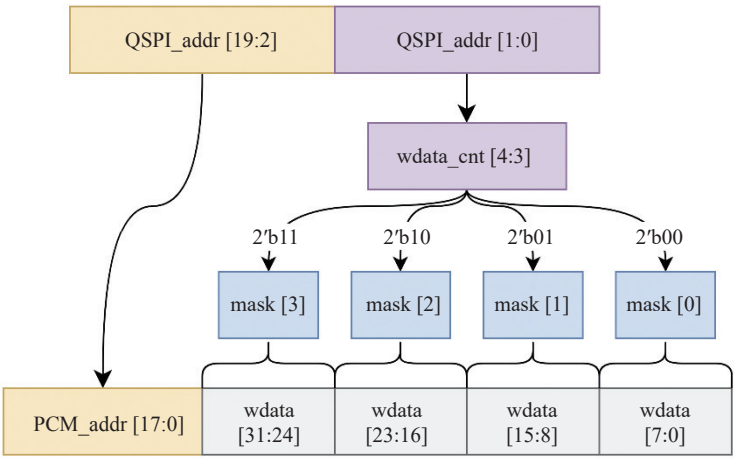

图 4 写入掩码设计示意图

Fig. 4 Schematic diagram of writing mask design

图 6 以原始 20 位地址低 2 位为 00 时的单输入写阵列操作为例，展示了带写入掩码设计的写操作时序。串行数据从 I/O0 端口移入，写入 PCM 的使能信号 WriteEn 由/CE 信号和/WE 信号组合生成。从图 6 可以直观地观察到写入掩码的变化与数据写入 PCM 的时机。

2.2 基于数据粒度转换的预读取方法

在理想的读操作中，当 QSPI 在最后一位地址对应的时钟上升沿完成整个地址接收后，需在紧接

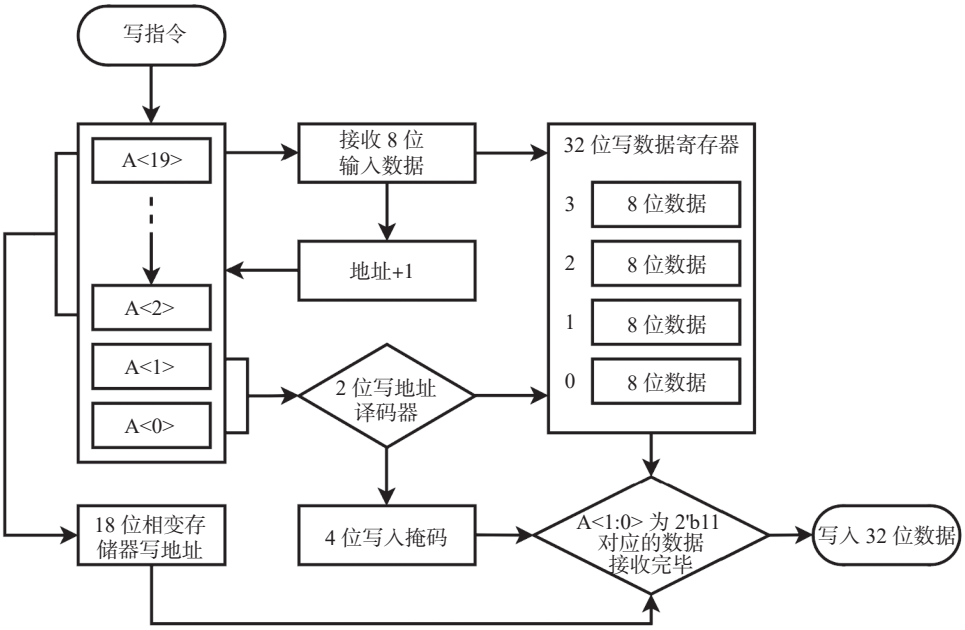

图 5　带写入掩码设计的写操作流程

Fig. 5　Flowchart of write operation with writing mask design

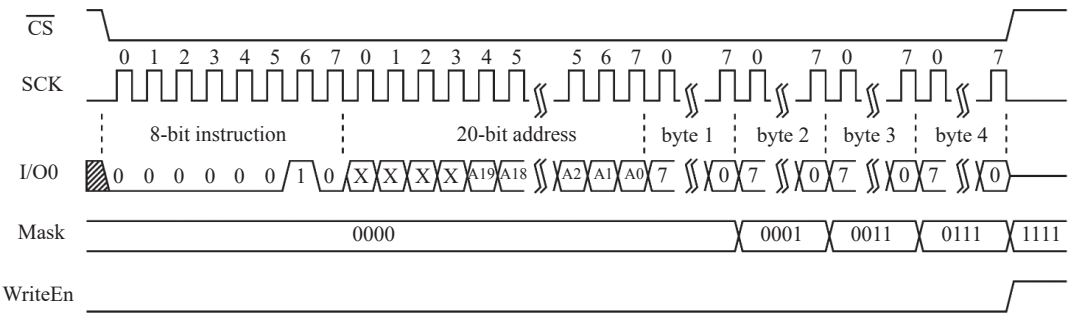

图 6　带写入掩码设计的写操作时序示意图

Fig. 6　Timing diagram of write operation with writing mask design

着的时钟下降沿开始输出数据。这使得 PCM 读取数据的时间仅剩 0.5 个时钟周期, 对读出电路的设计构成严峻挑战。针对这一问题, 传统解决方案包括: 降低时钟频率, 以确保 PCM 能够在 0.5 个时钟周期内完成数据读取; 在地址阶段后插入空闲周期(dummy clock), 直至数据被成功读出。基于数据粒度转换的预读取方法能够更高效地解决这一问题。

PCM 支持 32 位数据的同时读取。在读操作过程中, 可通过提前两位地址(即接收 18 位有效地址后)进行预读取, 一次性读出 32 位数据。随后, 根据接收到的低 2 位地址, 指定 32 位数据中对应的字节进行输出。该方法通过提前两位地址进行预读取, 为 PCM 的数据读出获得了两个额外的时钟周期, 无须降低时钟频率或插入空闲周期, 显著提升了读出效率。采用预读取策略的读操作流程如图 7 所示。

图 8 以原始 20 位地址低 2 位为 00 时的单输出读阵列操作为例, 展示了采用预读取策略的读操作时序。PCM 中数据读取的使能信号 ReadEn 由 /CE 信号和 /WE 信号组合生成, 读取的数据通过 I/O1 端口输出。图 8 直观地显示了预读取操作的时机。

3　仿真结果

基于已建立的 PCM 模型, 进行了优化结果验

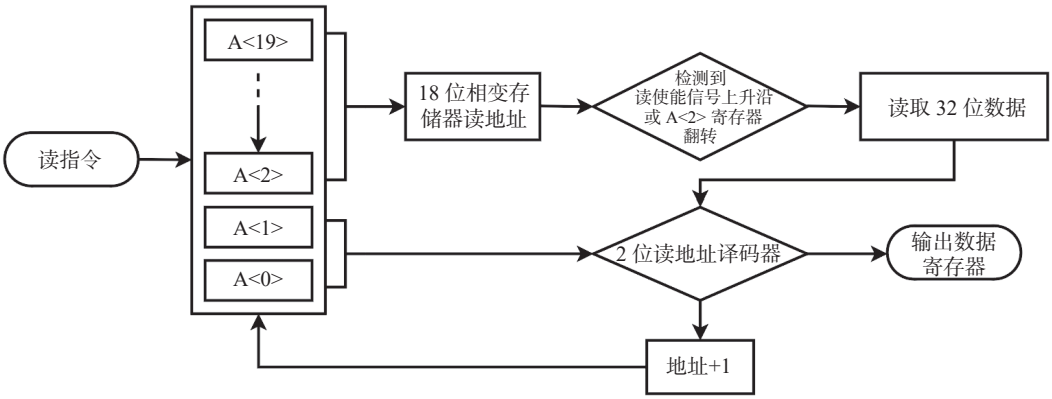

图 7 带预读取设计的读操作流程

Fig. 7 Flowchart of read operation with pre-read design

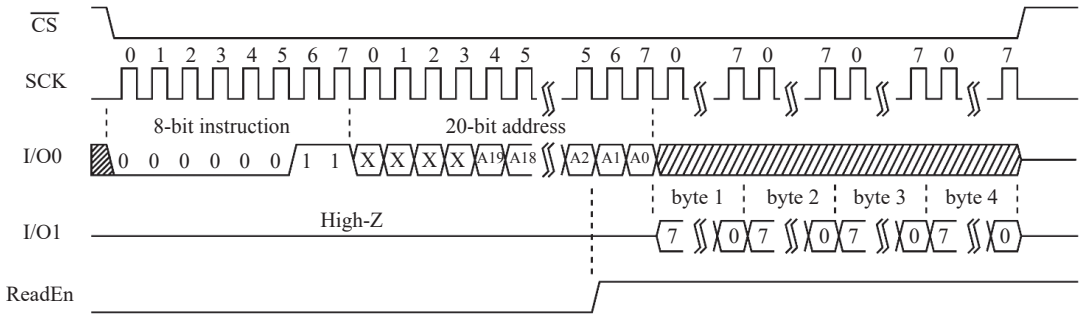

图 8 带预读取设计的读操作时序示意图

Fig. 8 Timing diagram of read operation with pre-read design

证。PCM 的写入延时设置为 400 ns, 读出延时设置为 20 ns。编写相应的测试文件, 并使用 VCS 与 Verdi 仿真工具进行联合仿真。根据顺序写入与顺序读出的仿真结果, 对优化效果进行分析。

对于连续写入测试, 为简洁高效地验证优化结果, 选择从地址 0x4_0002 开始连续发送 8 个字节, 数据为 0xD1~0xD8。图 9 展示了优化后 QSPI 相变存储器的顺序写入仿真结果, 时钟频率为 80 MHz。每接收完 1 个字节, 写入掩码的对应位会被设置为 1, 同时该字节数据被存入 32 位数据寄存器的相应位置, 直至计数器计满后写入 PCM。初始地址低 2 位为 2'b10, 因此计数器从 5'h10(5'd16)开始计数。接收完前 2 个字节后, 计数器计满并触发首次写入; 再接收 4 个字节后, 地址自增触发第二次写入; 最后 2 个字节接收完成后, 尽管计数器未计满, 但/CS 拉高触发地址自增, 该次写入将在前一次写入完成后进行。

图 10 展示了优化后 QSPI 相变存储器的顺序读取仿真结果, 先前写入的 8 个字节数据被依次读出。时钟频率为 80 MHz, 主机从地址 0x4_0002 开始读取之前写入的数据。可以看出, 控制器在接收完 18 位地址后即开始读取操作, 并在 20 位地址传输完毕后输出数据。由于初始地址的低 2 位为 2'b10, 因此该地址上从低位到高位的第 3 个字节首先被输出。计数器从 5'h10(5'd16)开始计数, 在移出两个字节数据后, 转而输出下一个地址上的内容。读地址在当前地址内容开始移出时自增。

4 结论

本文针对相变存储器存在的读写不对称问题, 对 QSPI 相变存储器的读写性能进行了优化研究, 提出了一种数据粒度转换方案, 并在 QSPI 相变存储器中引入写入掩码设计和预读取策略来分别提升写入速率和读取效率。仿真结果表明, 优化后的 QSPI 相变存储器时钟频率从原来的 20 MHz 提升至 80 MHz, 顺序读写速率提高至原来的 4 倍, 实现了存储器性能的显著提升。

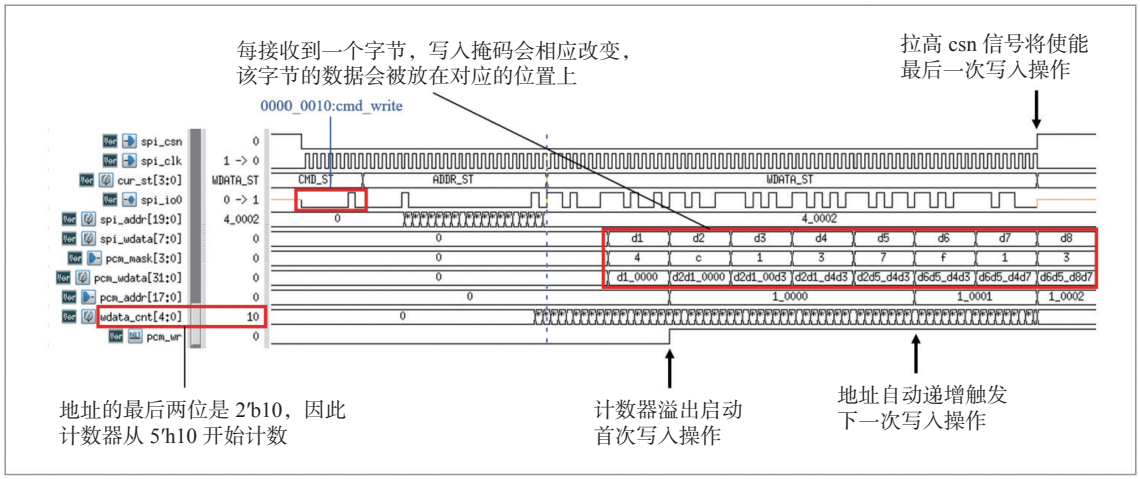

图 9　优化后 QSPI 相变存储器的顺序写入仿真结果

Fig. 9　Simulation results of sequential write operation of optimized QSPI PCM

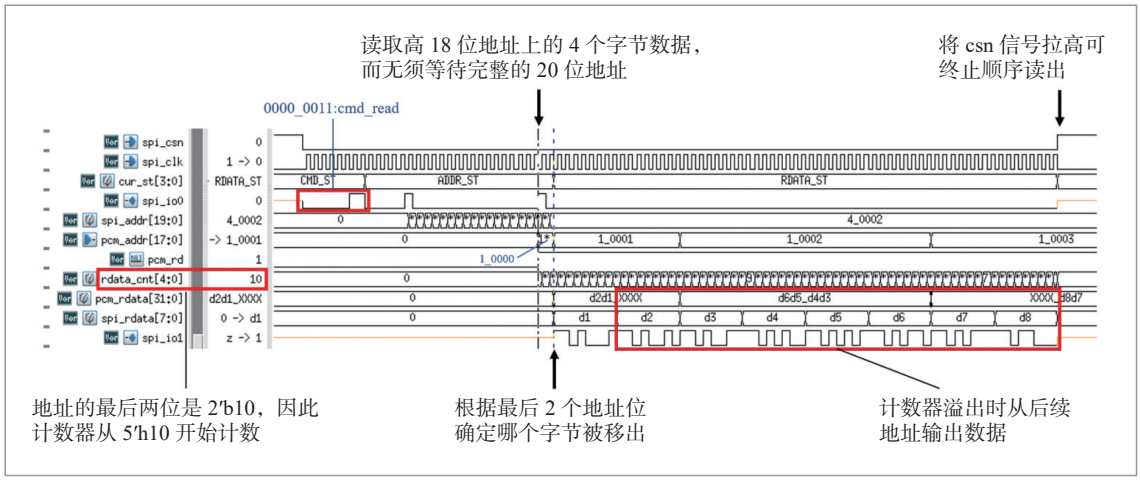

图 10　优化后 QSPI 相变存储器的顺序读出仿真结果

Fig. 10　Simulation results of sequential readout operation of optimized QSPI PCM

参考文献：

[1] IDC. How IDC's industry CloudPath & SaaSPath surveys can inform your Cloud/SaaS strategy[EB/OL]. 2019. https://blogs.idc.com/2019/09/04/how-idcs-industry-cloudpath-saaspath-surveys-can-inform-your-cloud-saas-strategy/.

[2] GHOLAMI A, YAO Z, KIM S, et al. AI and memory wall[J]. IEEE Micro, 2024, 44(3): 33-39.

[3] PIROVANO A. An introduction on phase-change memories[M]//Phase Change Memory. Cham: Springer International Publishing, 2017: 1-10.

[4] FONG S W, NEUMANN C M, PHILIP WONG H S. Phase-change memory: towards a storage-class memory[J]. IEEE Transactions on Electron Devices, 2017, 64(11): 4374-4385.

[5] JONES R O. Phase change memory materials: Rationalizing the dominance of Ge/Sb/Te alloys[J]. Physical Review B, 2020, 101(2): 024103.

[6] OVSHINSKY S R. Reversible electrical switching phenomena in disordered structures[J]. Physical review letters, 1968, 21(20): 1450-1454.

[7] OVSHINSKY S R. An introduction to ovonic research[J]. Journal of Non-Crystalline Solids, 1970, 2: 99-106.

[8] LEE K J, CHO B H, CHO W Y, et al. A 90 nm 1.8 V 512 Mb diode-switch PRAM with 266 MB/s read throughput[J]. IEEE Journal of Solid-State Circuits, 2008, 43(1): 150-162.

[9] Intel News Release. Intel 2008 STMicroelectronics deliver industry's first phase change memory prototypes[EB/OL]. 2008. https://phys.org/news/2008-02-intel-stmicroelectronics-industry-phase-memory.html.

[10] CUTRESS I. Intel's 140 GB Optane 3D Xpoint PCIe SSD spotted at IDF[EB/OL]. 2016. https://www.anandtech.com/show/10604/intels-140gb-optane-3d-xpoint-pcie-ssd-spotted-at-idf.

[11] 朱赛克, 赵毅. 面向神经形态系统的突触器件及芯片综述与展望[J]. 功能材料与器件学报, 2024, 30(6): 287-299.

[12] YAN L, LI Y, LI X, et al. Neural manifold learning based on 40 nm dual-mode PCM compute-in-memory chip with hardware adaptive drift compensation[C]//Proceedings of the 2024 IEEE International Electron Devices Meeting (IEDM). New York: IEEE, 2024: 1-4.

[13] HRUSKA J. Intel, Micron reveal Xpoint, a new memory architecture that could outclass DDR4 and NAND[EB/OL]. 2015. https://www.extremetech.com/extreme/211087-intel-micron-reveal-xpoint-a-new-memory-architecture-that-claims-to-outclass-both-ddr4-and-nand.

[14] SONG Z, CAI D, CHENG Y, et al. 12-state multi-level cell storage implemented in a 128 Mb phase change memory chip[J]. Nanoscale, 2021, 13(23): 10455-10461.

[15] SEBASTIAN A, LE GALLO M, ELEFTHERIOU E. Computational phase-change memory: beyond von Neumann computing[J]. Journal of Physics D: Applied Physics, 2019, 52(44): 443002.

[16] LE GALLO M, SEBASTIAN A. An overview of phase-change memory device physics[J]. Journal of Physics D: Applied Physics, 2020, 53(21): 213002.

[17] RAOUX S, BURR G W, BREITWISCH M J, et al. Phase-change random access memory: A scalable technology[J]. IBM Journal of Research and Development, 2008, 52(4/5): 465-479.

[18] FERREIRA A P, ZHOU M, BOCK S, et al. Increasing PCM main memory lifetime[C]//Proceedings of the 2010 Design, Automation & Test in Europe Conference & Exhibition. New York: IEEE, 2010: 914-919.

[19] LEE E, YOO S, JANG J E, et al. Shortcut-JFS: a write efficient journaling file system for phase change memory[C]//Proceedings of the 2012 IEEE 28th Symposium on Mass Storage Systems and Technologies. New York: IEEE, 2012: 1-6.

[20] ZHOU P, ZHAO B, YANG J, et al. A durable and energy efficient main memory using phase change memory technology[J]. ACM SIGARCH Computer Architecture News, 2009, 37(3): 14-23.

[21] CHO S, LEE H. Flip-N-Write: a simple deterministic technique to improve PRAM write performance, energy and endurance[C]//Proceedings of the 42nd Annual IEEE/ACM International Symposium on Microarchitecture. New York: IEEE, 2009: 347-357.

[22] QURESHI M K, FRANCESCHINI M M, JAGMOHAN A, et al. PreSET: improving performance of phase change memories by exploiting asymmetry in write times[C]//Proceedings of the 39th Annual International Symposium on Computer Architecture. New York: IEEE, 2012: 380-391.

[23] YUE J, ZHU Y. Accelerating write by exploiting PCM asymmetries[C]//Proceedings of the 2013 IEEE 19th International Symposium on High Performance Computer Architecture. New York: IEEE, 2013: 282-293.

[24] LI Y, LI X, JU L, et al. A three-stage-write scheme with flip-bit for PCM main memory[C]//Proceedings of the 20th Asia and South Pacific Design Automation Conference. New York: IEEE, 2015: 328-333.