文章编号: 1007－4252(2024)06－0287－13 DOI: 10.20027/j.gncq.2024.0043

面向神经形态系统的突触器件及芯片综述与展望

朱赛克[1,2,3], 赵　毅[1,2,*]

(1. 浙江大学 信息与电子工程学院, 杭州 310027; 2. 浙江大学 海宁国际联合创新中心, 海宁 314400; 3. 中国电子科技南湖研究院, 嘉兴 314001)

摘要: 随着传统冯·诺依曼架构在处理大数据和人工智能应用中的局限性愈加明显, 存算一体(CIM)和类脑计算等新型计算架构逐渐成为研究热点。本文综述了神经形态器件和芯片的发展与研究进展, 介绍了存算一体化架构和神经形态架构的原理。重点介绍了电荷式存储器和阻变式存储器等人工突触器件在存算一体化中的应用, 探讨了它们在模拟生物神经网络方面的潜力。本文还分析了几种典型的类脑芯片, 包括 IBM 的 TrueNorth、斯坦福大学的 Neurogrid 以及英特尔的 Loihi 等等, 展示了神经形态计算在高效、低功耗计算中的前景。通过对这些技术的深入讨论, 本文为未来的神经形态研究提供了新的思路和发展方向。

关键词: 存算一体; 忆阻器; 人工突触器件; 类脑计算; 神经形态计算

中图分类号: TN40　　**文献标志码:** A

Review and outlook on synaptic devices and chips for neuromorphic systems

ZHU Sai-ke[1,2,3], ZHAO Yi[1,2,*]

(1. College of Electronic Engineering and Information Science, Zhejiang University, Hangzhou 310027, China; 2. International Joint Innovation Center, Zhejiang University, Haining 314400, China; 3. China Nanhu Academy of Electronics and Information Technology, Jiaxing 314001, China)

Abstract: As the limitations of traditional von Neumann architecture in handling big data and artificial intelligence applications become increasingly apparent, new computing architectures such as Computing-In-Memory (CIM) and neuromorphic computing have gradually become research hotspots. This paper reviews the development and research progress of neuromorphic devices and chips, introducing the principles of CIM and neuromorphic architectures. It focuses on the application of artificial synaptic devices, such as charge-based memory and resistive memory, in CIM and explores their potential in simulating biological neural networks. This paper also analyzes several typical neuromorphic chips,

收稿日期: 2024−09−30;　　**修订日期:** 2024−12−03

基金项目: 新一代人工智能国家科技重大专项 (No. 2020AAA0109001); 政府间国际科技创新合作 (No. 2022YFE0112100).

作者简介: 朱赛克(1994—), 男, 博士研究生, 主要研究方向为基于新型存储的存算一体化芯片(E-mail: saikezhu@gmail.com)

通信作者: 赵　毅(1977—), 男, 博士, 教授, 主要从事先进集成电路技术研究(E-mail: yizhao@zju.edu.cn)

including IBM's TrueNorth, Stanford University's Neurogrid, and Intel's Loihi, demonstrating the prospects of neuromorphic computing in efficient and low-power computing. Through an in-depth discussion of these technologies, this paper provides new insights and directions for future neuromorphic research.

Key words: computing-in-memory(CIM); memristor; artificial synaptic devices; brain-inspired computing; neuromorphic computing

0 引言

随着集成电路中器件尺寸和集成度接近极限，摩尔定律逐渐失效，现有的芯片工艺进展放缓，人们不得不研究新型的存储介质和计算架构。在器件层面，随着沟道长度和晶体管栅极电介质厚度接近尺寸缩小的极限，漏电流、功耗增加、器件变异性增强等问题日益严重，这不仅导致传统 CMOS 技术在性能上的增益变得微不足道，还带来了可靠性和稳定性的问题。同时，随着人工智能、大数据等计算密集型应用的兴起，传统冯·诺依曼架构下计算与存储分离的瓶颈日益显现，内存墙问题严重制约了系统的整体性能和能效[1]。

在这种背景下，存算一体（Computing–In-Memory）计算架构应运而生。该架构通过在存储器件中直接进行计算操作，有效地缩短了数据移动的距离，从而极大地提高了系统的能效比。在此过程中，忆阻器（Memristor）和人工突触器件作为新型存储介质，因其具备非易失性、低功耗、多态存储等优点，成为存算一体计算系统中的核心元件之一[2-3]。忆阻器的引入不仅有望解决传统架构中的数据传输瓶颈问题，还为实现硬件级的类脑计算提供了可能性。

神经形态计算（Neuromorphic Computing）作为一种模拟生物神经网络的计算模式，通过构建与生物神经元和突触类似的电路结构，在硬件层面上实现对生物大脑计算机理的模仿。与传统数字计算相比，神经形态计算更具生物启发性，能够在不牺牲计算能力的前提下大幅降低功耗，适用于实时处理、大规模并行计算等领域[4-5]。面对现有技术的瓶颈，探索和发展神经形态器件与芯片技术已成为未来计算体系的重要研究方向之一。

1 存算一体化架构的原理

传统的冯·诺依曼体系架构[6-7]的特征是：处理器与存储单元分离，通过预先的程序存储，按照指令顺序执行，如图 1(a)所示。处理器与存储单元间频繁的数据交换导致了“存储墙”问题和“功耗墙”问题。如图 1(b)所示，由于存储器的速度远低于 CPU 的速度，严重制约了信息处理的效率和系统性能，成为了信息交换速度和性能的掣肘。

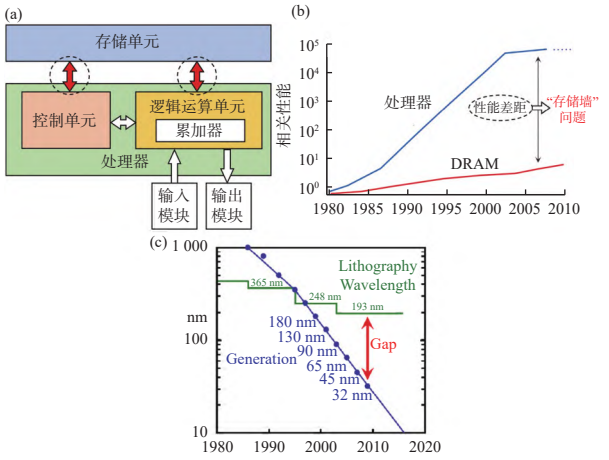

图 1 (a) 传统的冯诺依曼计算架构；(b) 传统冯诺依曼计算架构中的“存储墙”问题；(c) 晶体管工艺进步接近物理极限[8]

Fig. 1 (a) Traditional von neumann computing architecture; (b) The memory wall problem in traditional von neumann architecture; (c) Transistor technology advancements approaching physical limits [8]

同时，随着晶体管尺寸的进一步缩小，摩尔定律正在逐渐失效。如图 1(c)所示，传统的工艺已经接近物理极限，处理器的晶体管数量增长减缓，工艺进步逐步接近物理极限，芯片制造成本大幅增加，这限制了处理器性能的进一步提升[8]。

为了解决以上问题，之前业界主要采取了两种方法：一是通过光互连、3D 堆叠等技术增加存储带宽；二是通过提升时钟频率来加速数据处理。然而，这些方法虽然在一定程度上缓解了存储瓶颈问题，但功耗和硬件成本高昂，且未能从根本上解决存算分离的本质问题。

在传统神经网络中, 卷积操作占据了约 90% 的计算量, 如图 2(a) 所示。然而, 数据搬运的时间远大于实际计算的时间, 这导致了所谓的“功耗墙”问题[9]。

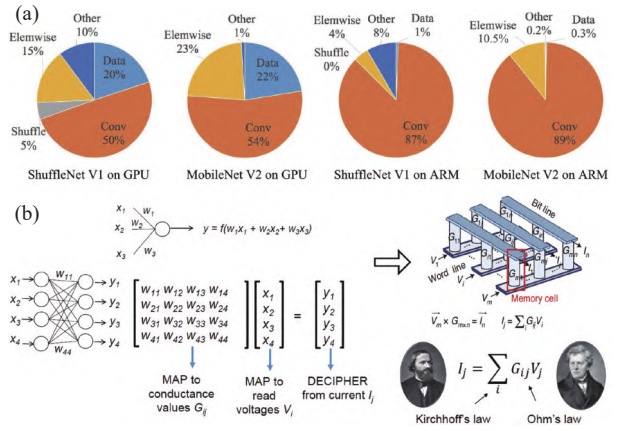

图 2　(a) 传统神经网络中卷积计算占据了 90% 左右的计算量[8]; (b) 存算一体化架构的实现原理[9]

Fig. 2　(a) Convolution operations account for approximately 90% of the computational workload in traditional neural networks[9]. (b) Implementation principle of in-memory computing architecture

在此背景下, 存算一体化架构被提出以应对这一挑战。图 2(b) 展示了基于非易失性存储单元的交叉阵列实现的存算一体化的电路原理。该架构利用存储单元的导电值(对应权重)和输入电压(对应输入数据), 通过欧姆定律和基尔霍夫定律, 实现了乘加运算的硬件加速, 这一过程正好与神经网络中的卷积运算相对应。存算一体化架构将计算操作直接嵌入存储过程中, 从而大幅减少了数据搬移的需求, 实现了存算融合。存算一体化架构不仅有效提升了计算效率, 还显著降低了能耗, 克服了存储带宽的限制, 在处理深度学习任务中展现了巨大的潜力。

2　类脑计算架构的原理

2.1　传统 ANN 网络向 SNN 网络的转化

人脑的神经系统由超过 1 000 亿个神经元构成, 这些神经元能够以高效、并行和容错的方式迅速处理信息, 因此引起了广泛的研究兴趣。神经形态计算通过模拟生物神经元的结构和功能, 利用模拟、数字以及混合模式的超大规模集成电路(VLSI)和软件系统, 旨在开发出高效的信息处理电路和系统, 为神经机器人、人工智能和高性能应用开辟了新的前沿[10]。

随着时间的推移, 神经网络模型不断演变, 从最初的感知器模型发展到深度学习模型(第二代), 再到尖峰神经网络(第三代), 每一代模型都在拓扑结构和功能上有所改进, 以更好地捕捉生物大脑的计算原理, 如图 3 所示。

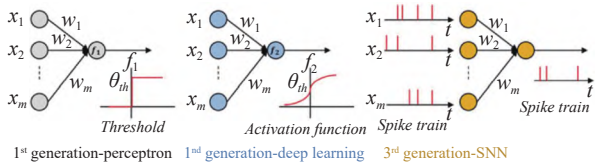

图 3　神经网络的发展脉络[10]

Fig. 3　Generations of neural network [10]

传统人工神经网络(Artificial Neural Network, ANN)依赖于连续状态值和精确计算, 处理大量手工标记的静态输入数据, 虽然在模拟复杂模型和完成大规模运算方面具有优势, 但在大规模部署时面临着速度慢和功耗高的问题。

相较之下, 脉冲神经网络(Spiking Neural Network, SNN)更接近生物大脑的工作方式: 基于脉冲序列和稀疏计算, 通过事件驱动的方式进行动态数据处理; 并且, SNN 模仿生物神经元的工作方式, 具备自学习能力, 同时具有能效极低和成本较低的优势, 因而在实现高效神经形态计算系统方面表现出更大的潜力。

2.2　神经元模型

在神经形态计算中, 脉冲神经元的硬件模型通过模拟生物神经元的工作机制来处理信息。如图 4 所示, 神经元之间通过突触(Synapses)连接, 将信号从一个神经元传到另一个神经元。树突(Dendrites)负责接受其他神经元的输入信号, 胞体(Cell Body)整合来自树突的电流, 生成加权和, 经过激活函数之后, 通过轴突(Axon)汇总, 将信号传到其他神经元, 来引发动作电位[11]。这个过程能够有效模拟生物神经元的稀疏计算, 显著降低能耗。

神经元模型的发展历程从生物真实性向计算简化逐步推进。最早的 Hodgkin-Huxley (H-H) 模型通过详细描述离子通道的电生理特性, 精确模拟了生物神经元的膜电位变化, 但其复杂性和高计算成

本限制了其在大规模仿真中的应用[12]。随着人们对计算效率的需求的增加，Izhikevich 模型提出了简化方案，使用简单的微分方程捕捉神经元的多种发放模式，在降低计算成本的同时保留了一定的生物合理性[13]。Leaky Integrate-and-Fire (LIF) 模型则进一步简化，通过电子转移来描述神经元的放电行为，因其计算效率高且易于实现，成为神经形态计算和硬件仿真中的常用模型[14]。

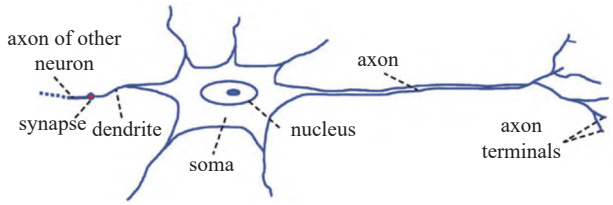

图 4 生物神经模型示意图[11]
Fig. 4 A schematic diagram of biological neuron model [11]

在 LIF 模型中，膜电位 V(t) 随时间逐渐变化，主要受两个过程的影响：电流的整合和电位的泄漏，如图 5 所示。首先，当神经元接收到来自突触的输入电流时，膜电位会逐步累积，表现为电流的积分效应。与此同时，由于神经元膜的导电性，膜电位会自然衰减至静息电位，这种被称为“泄漏”的现象，可以使得膜电位在没有输入时逐渐回归初始状态。当膜电位达到某个阈值 V_{th} 时，神经元发射一个脉冲（动作电位），随后膜电位被重置为静息电位，进入短暂的重置期。LIF 模型的数学表示为：

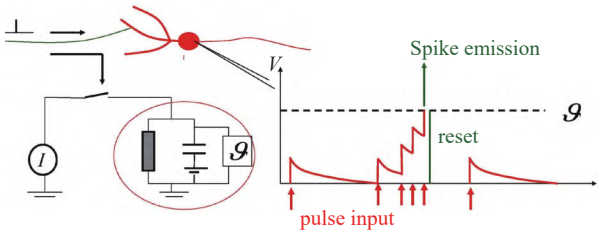

图 5 泄漏积分-发放 (LIF) 模型示意图
Fig. 5 A schematic diagram of Leaky Integrate-and-Fire Model

$$\tau_m \frac{dV(t)}{dt} = -(V(t) - V_{rest}) + RI(t) \quad (1)$$

其中，τ_m 是膜的时间常数，$V(t)$ 是膜电位，V_{rest} 是静息电位，R 是膜电阻，$I(t)$ 是输入电流。

LIF 模型简单而有效地捕捉了神经元的关键行为，适用于神经形态计算中的硬件实现，在计算复杂度和生物相似性之间取得了平衡。

2.3 突触动力学和学习规则

突触动力学指神经元之间突触连接强度随时间动态变化的过程，包括突触前和突触后神经元的共同作用，如图 6 所示。通过这些变化，神经网络能够实现自适应学习，从而在不断变化的环境中优化信号传递效率，并增强学习和记忆的灵活性。在神经形态计算中，突触动力学为自我调整的学习算法提供了生物学依据。

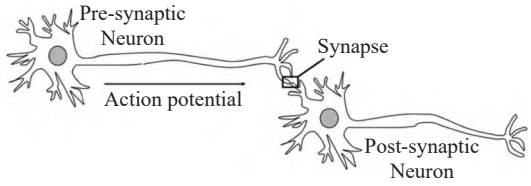

图 6 两个神经元通过突触进行信息交换[11]
Fig. 6 Two neurons communicating via a synapse [11]

脉冲神经网络（SNN）通过处理和传递稀疏的二进制尖峰信号，实现事件驱动的并行计算。SNN 网络的学习过程通过优化损失函数来调整模型参数，通常采用梯度下降或遗传算法等优化方法。

脉冲神经网络（SNN）的训练可以通过两种主要方式来实现：一种是利用反向传播算法训练传统人工神经网络（ANN），随后将其转换为 SNN 模型；另一种是直接使用脉冲时序依赖可塑性（STDP）对 SNN 进行训练。正如图 7 中所示，ANN 训练完成后，模型可以转换为 SNN，然后进一步进行软件或硬件上的训练和部署。

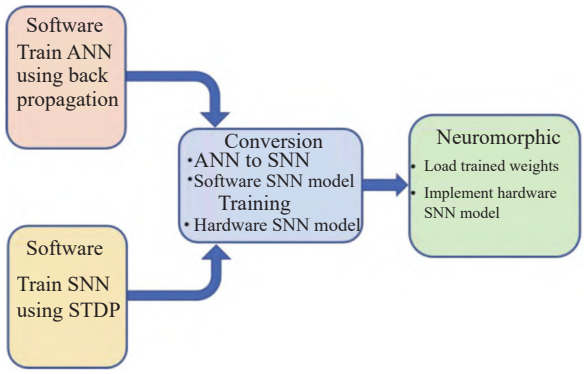

图 7 神经形态学习框架[11]
Fig. 7 Framework of Neuromorphic Learning[11]

脉冲依赖时序可塑性（Spike-Timing-Dependent Plasticity, STDP）是一种生物启发的学习机制，描述了神经元之间突触强度随时间变化的规律。STDP

根据突触前神经元的脉冲到达时间与突触后神经元发放脉冲的时间差来调整突触权重的变化, 具有时间依赖性。当突触前神经元的脉冲先于突触后神经元时, 突触权重会增强, 称为长期增强(Long-Term Potentiation, LTP); 反之, 当突触前神经元的脉冲滞后于突触后神经元时, 突触权重减弱, 称为长期抑制(Long-Term Depression, LTD)。

STDP 是一种基于时序的可塑性机制, 使神经网络能够根据脉冲信号的时间信息进行自适应调整, 以实现类似于生物学习的行为。它在脉冲神经网络中发挥关键作用, 能够在事件驱动系统中实现低功耗的自学习能力。通过该机制, 神经形态计算得以高效地支持复杂的学习与推理。

3　人工突触器件的研究进展

根据类脑芯片中人工突触器件的工作机制, 我们将存储器分为电荷式存储器和阻变式存储器两大类别, 具体详细的介绍以及在神经形态计算应用中的优缺点分析如下。

3.1　电荷式存储器

基于电荷的存储器件(Charge-based memory devices)是通过控制和存储电荷来实现信息存储和处理的一类器件。此类器件通过存储电荷在半导体材料中来表示二进制信息(0 或 1)或多态信息, 如图 8 所示, 主要包括静态随机存储器(Static random access memory, SRAM)、动态随机存储器(Dynamic random access memory, DRAM)和闪存(Flash)等[15]。它们的工作原理是依赖于晶体管、电容器等电子元件来存储电荷, 且不同的存储器件在存储方式、功耗、速度和耐久性上各具特点。

3.1.1　静态随机存储器(SRAM)　SRAM 作为存算一体化中的单元, 不仅用于存储数据, 还能够执行简单的逻辑运算、加法和乘法等操作[16-18]。SRAM 通过两个交叉耦合的反相器将数据保持在单元中。每个反相器的输出连接到另一个的输入, 这种反馈环路可以稳定地锁定存储单元中的值, 如图 9 所示。当某个晶体管导通时, 它会保持存储的电压水平, 即 0 或 1, 从而实现数据的长期稳定存储(只要有电力供应)。通过控制两个访问晶体管, SRAM 可以进行快速的读写操作。在写入过程中, 外部数据会通过位线写入到存储单元中, 改变反相器的状态。

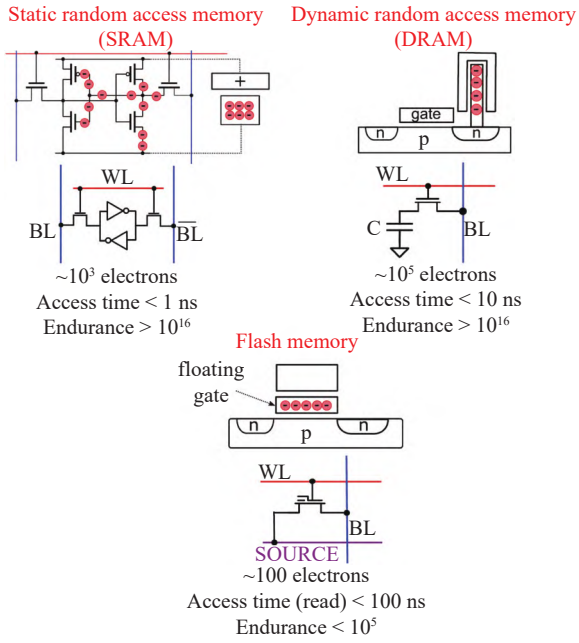

图 8　基于电荷的存储器件, 包括 SRAM、DRAM 和 Flash[15]

Fig. 8　Charge-based memory devices, including SRAM, DRAM, and Flash [15]

在读取过程中, 位线被用来检测存储单元中的电压状态, 从而读出数据。因为 SRAM 是静态存储器, 不需要像 DRAM 那样定期刷新数据, 因此读写速度非常快[19]。

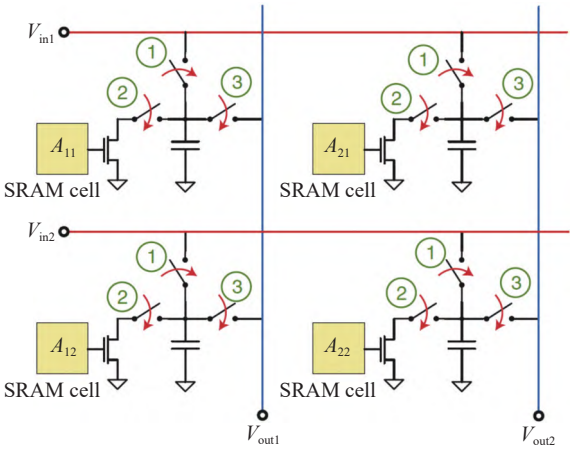

图 9　SRAM 作为存算单元[19]

Fig. 9　SRAM as a computing-in-memory unit [19]

SRAM 单元可以通过控制不同的位线电压和访问晶体管来执行与非门(NAND)、或门(OR)等基本逻辑运算。多个 SRAM 单元可以并行执行这些逻辑操作, 以便在计算任务中快速处理大量数据。在神经网络推理任务中, SRAM 的乘加运算

(Multiply-Accumulate , MAC)可以通过模拟加法器和乘法器的设计在存储器内实现。

SRAM 在 CIM 应用中具有独特的优势。首先，SRAM 的高读写速度(~1-2 ns)和低延迟使其在实时计算和高性能任务中表现突出，特别适用于对响应时间要求严格的场景。其次，SRAM 的成熟工艺和高可靠性、高耐久性(>10^{16})易于大规模集成，且无需复杂的写入控制电路，设计灵活性更高。此外，SRAM 的工艺兼容性也强，能够与现有 CMOS 技术无缝结合，降低系统设计和制造复杂度。

SRAM 在存算中也存在一些明显的缺点。首先，SRAM 的存储密度较低(每 Mb 约占用 4-10 mm^2)。由于 SRAM 单元需要 6 个晶体管(6T)来存储一位数据，这使得它的面积开销较大，导致相同芯片面积下的存储容量远小于 ReRAM 或 MRAM 等新型非易失性存储器。其次，功耗较高，尤其是静态功耗。因为 SRAM 在保存数据时需要持续供电，而非易失性存储器在断电后仍能保持数据，从而在功耗敏感的应用中更具优势[20]。此外，SRAM 不具备非易失性，数据一旦断电就会丢失，这在某些需要断电保护的应用中是一个显著的不足。

3.1.2 动态随机存储器(DRAM) DRAM 的基本存储单元是一个由电容和晶体管组成的电路。电容用于存储数据的电荷(代表“0”或“1”)，而晶体管用来控制存取操作。数据以电荷形式存储在电容中，由于电荷会随着时间自然泄露，DRAM 需要定期刷新电容中的电荷，以确保数据的持久性。

通过修改读写操作，DRAM 可利用电荷状态进行位级逻辑运算，如“与(AND)”、“或(OR)”等。这些运算无需将数据传输至处理器，直接在存储单元内完成。DRAM 的存储结构为行列矩阵，通过同时激活多行数据，可在行间并行执行加法或逻辑运算，利用内存阵列的并行性提高计算效率。

DRAM 在存算一体化中的优势主要体现在高存储密度、成熟的制造工艺和较快的读写速度[21-23]。凭借高存储密度，DRAM 能够在有限空间内存储大量数据，适用于深度学习和数据中心等大规模数据处理场景。此外，作为一种成熟技术，DRAM 具备成本低、工艺成熟的特点，能够与现有计算系统兼容，便于存算一体化技术的直接应用。相比非易失性存储器(如 ReRAM 和闪存)，DRAM 读写速度更快，尤其适合数据访问频繁的场景。其电容式动态存储机制使得 DRAM 能够快速更新数据，适合动态处理任务。

然而，DRAM 也表现出高功耗、易失性、计算能力有限和控制逻辑复杂等方面的局限性。由于 DRAM 需要持续刷新以维持数据，导致其功耗较高，尤其在长时间的大规模数据处理中。作为易失性存储器，DRAM 在断电后会丢失数据，这限制了其在需要长期数据保持场景下的应用。尽管通过特定设计可在 DRAM中执行简单计算，但相较于 SRAM 和 ReRAM，其计算能力仍有限。此外，DRAM 的存算一体化需要复杂的控制逻辑来协调存储与计算，且电容式存储机制增加了实现计算操作的难度。

3.1.3 闪存(Flash) Flash 存储器的基本单元是浮栅晶体管，每个存储单元通过在浮栅上存储不同量的电荷，来表示不同的存储状态[24-25]。通常，Flash 单元存储数据时以不同的阈值电压(V_{th})来区分“0”和“1”，或者在多级存储(Multi-Level Cell , MLC)中通过多种电压状态来存储多个比特，如图 10 所示。

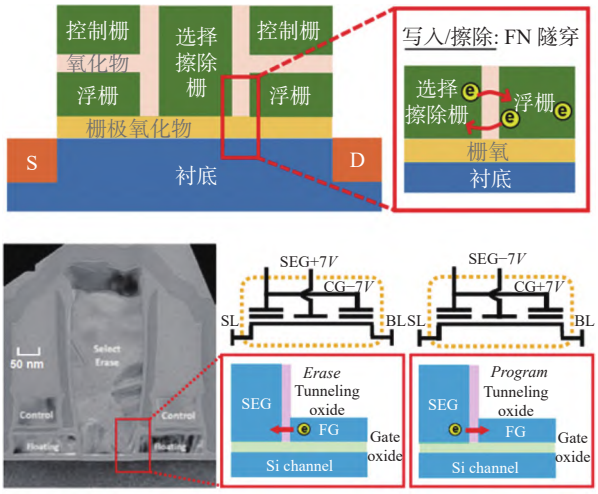

图 10 Flash 作为存算单元[25]

Fig. 10 Flash as a computing-in-memory unit [25]

Flash 单元中的电导值(由存储的电荷量控制)可以被视为神经网络的权重。例如，一个 Flash 单元的不同编程状态对应不同的电导值，这些电导值可以映射到神经网络的权重值。通过将输入信号(例如电压)施加到 Flash 存储单元的字线(Word Line, WL)上，浮栅晶体管的导通状态决定了通过存储单元的电流大小。多个存储单元的电流可以在位线(Bit Line, BL)上进行并行累加，从而实现与

神经网络相类似的加权求和操作。

Flash 在存算一体化中的优势主要体现在高存储密度和成熟的制造工艺。Flash 的存储密度较高, 能够通过多级存储(如 MLC、TLC 等)在每个单元中存储多个比特数据, 从而显著提高了单位面积内的存储容量。相比于其他新兴存储器技术, Flash 的生产工艺已经得到广泛验证, 具有高度的可扩展性和经济性。成熟的制造工艺不仅意味着可以批量生产、降低成本, 还意味着在性能和可靠性上有较好的保障。

虽然 Flash 在非易失性和存储密度方面具有优势, 但其读写速度相对较慢(读操作大约 100 ns, 写操作大约 10^3 ns), 编程速度远不如 SRAM 和 DRAM 等易失性存储器。这使得 Flash 在需要高频读写的应用中表现不如其他器件。此外, Flash 的写入耐久性有限(>10^6), 这对频繁更新数据的存算一体化任务来说是个挑战。相比 SRAM 和 DRAM, Flash 的能耗较高, 特别是在编程和擦除操作时需要较高电压, 这会导致在某些计算密集型任务中的整体效率下降。因此, 尽管 Flash 在存储和低功耗方面有优势, 但在速度和耐久性上的不足使其不适合所有 CIM 应用。

3.2　阻变式存储器

阻变式存储器件是存算一体化(CIM)架构中的一种关键非易失性存储器, 它通过调节材料的电阻状态来存储和处理信息。阻变存储器通过改变存储介质的电导率(即电阻状态)来表示权重信息, 实现数据存储和计算。常用的阻变式存储器件包括阻变随机存取存储器 (Resistive Random-Access Memory, RRAM)、相变存储器 (Phase-Change Memory, PCM) 和磁阻随机存取存储器 (Magnetoresistive Random- Access Memory, MRAM) 等。

3.2.1　阻变随机存取存储器(RRAM)　RRAM (Resistive Random Access Memory)是一种基于电阻变化的非易失性存储器, 利用材料的电阻状态可逆变化来存储信息[26-27]。其核心机理是阻变(Resistive Switching)效应, 即通过外加电压或电流诱导材料的电阻在高阻态(HRS)和低阻态(LRS)之间切换。这种电阻状态可以用于表示不同的逻辑值(如“0”和“1”), 从而实现数据存储, 如图 11 所示。

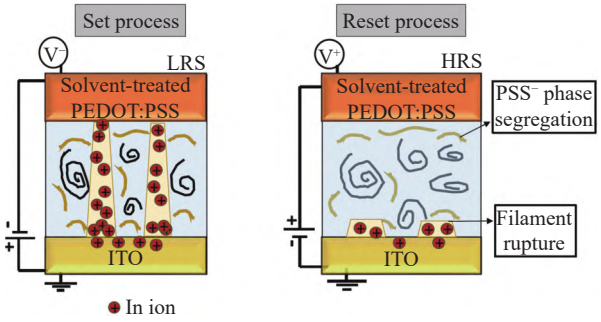

图 11　RRAM 器件的 SET 过程和 RESET 过程[28]
Fig. 11　The SET and RESET processes of RRAM devices [28]

RRAM 的阻变机理主要分为电化学金属迁移型(ECM)和氧空位导电路径型(VCM)两类。在 ECM 型 RRAM 中, 电极中的金属离子(如银或铜)在外加电压作用下迁移至或迁移出绝缘层(如氧化物), 形成或破坏导电丝, 分别对应低阻态(LRS)和高阻态(HRS), 电阻的可逆变化通过调节电压实现。VCM 型 RRAM则依赖氧空位的重新分布, 在电场作用下氧空位积聚形成导电路径(LRS), 氧空位散开则破坏导电路径(HRS)。

RRAM 具备高存储密度, 能够在有限面积上实现大容量存储。此外, RRAM 支持多级存储, 一个单元可存储多个电阻状态, 进一步提升了存储密度。RRAM 的结构简单且易于与 CMOS 工艺整合, 具备良好的扩展性, 适用于大规模集成应用。

同时, RRAM 也存在一些局限性。首先, 模数转换器(ADC)的高精度要求导致电路复杂且功耗较高, 尤其在大规模神经网络运算中。为此, 多范围量化和二元神经网络(BNN)等技术可降低对高精度 ADC 的依赖。其次, 器件的不理想性, 如单元间变化(cell-to-cell variation)和有限的开关比, 影响了性能的可靠性。架构感知训练(Architecture-Aware Training)可有效缓解此问题。最后, 非线性和导电路径更新的不对称性影响权重更新精度, 2T2R 差分结构和混合精度训练可提升整体精度和稳定性。

潜行路径问题是实现大规模无源 RRAM 阵列的一大障碍, 因未选单元的漏电流会干扰读写操作。2010 年引入的互补电阻开关 (CRS) 通过 HRS/LRS 状态对来降低潜行电流, 但传统的电流测量过程中的破坏性读出影响耐久性[29]。基于电容测量的非破坏性读出方法以及双层结构的非线性传导被提议为解决方案[30]。另一种方法是并行执行整行单

元的读取和复位操作，尤其在 3D-ReRAM 1TNR 阵列中，利用固有非线性来减少潜行路径干扰，已在低电流系统中得到验证[31]。

3.2.2 相变存储器 (PCM) 相变存储器（PCM）基于材料在晶态和非晶态之间的可逆相变，由电流脉冲控制并通过热效应触发[32]。PCM 的核心材料通常为锗-锑-碲（Ge-Sb-Te, GST）合金，其具有两种稳定的相态：低电阻的晶态和高电阻的非晶态。

PCM 器件通过施加不同的电流脉冲来控制存储材料的相态。当施加较大电流脉冲时，材料被加热到其熔点并快速冷却，形成无序的非晶态，这种状态的电阻较高。相反，施加较小电流脉冲使材料加热到低于熔点但高于晶化温度，材料逐渐结晶为有序结构，从而形成低电阻的晶态。PCM 还可通过调控脉冲强度和持续时间，生成多个中间电阻状态，实现多态存储。

3.2.3 磁阻随机存取存储器 (MRAM) STT-MRAM（Spin Transfer Torque Magnetic Random Access Memory）是一种基于自旋转移力矩效应的非易失性存储器。其核心结构为由自由层、参考层和绝缘层组成的磁性隧道结（MTJ），如图 12 所示。自旋转移力矩效应通过电流传递电子自旋角动量，改变自由层的磁化方向，实现数据写入[33-34]。

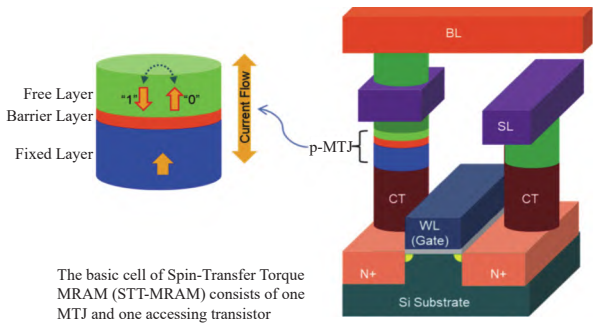

图 12 STT-MRAM 的器件结构和原理[34]

Fig. 12 The device structure and operating principle of STT-MRAM[34]

MTJ 的隧道磁阻效应（TMR）产生两种阻态：当自由层与参考层磁化方向平行时，电阻较低（低阻态，对应“0”）；当二者磁化方向反平行时，电阻较高（高阻态，对应“1”）。通过这种阻变机制，STT-MRAM 可实现高效的数据存储与读取，具备非易失性、高速度、低功耗和长寿命等优点，适合用于高性能计算和存算一体化应用。

STT-MRAM 具备高速读写能力，能够在纳秒级时间内（~10 ns）完成数据操作，且其高耐久性（$>10^{15}$）确保在频繁读写下保持性能稳定。相比 RRAM 和 PCM，STT-MRAM 在读取过程中的功耗较低，在能效要求高的应用中表现出色。STT-MRAM 的主要缺点是写入能耗较高，写入过程中需要较大的电流，影响其能效表现。相比其他存储器件，STT-MRAM 的存储密度较低，单元面积较大，限制了其在大规模存储中的应用。此外，其制造工艺复杂，对材料和技术要求较高，这增加了生产成本[35]。

除以上两种类型以外，其他的新型人工突触器件还有以下几种：铁电存储器（FeRAM），基于铁电材料的极化特性，通过改变极化方向来存储数据，具备快速写入和高耐久性，适合频繁更新的数据存储；自旋轨道转矩存储器（SOT-MRAM），利用自旋转移矩机制，通过电子自旋状态记录信息，具备极高的写入耐久性和低功耗，同时提供高密度存储；电化学存储器，则是通过离子在材料中的迁移来实现电导状态变化，模拟生物突触的可塑性特征，适合用于多态存储和对神经元行为的动态仿真。

4 类脑芯片的研究进展

在近年来的国内外研究中，神经形态芯片取得了显著进展。本文将介绍的八款代表性芯片分别为 IBM 的 TrueNorth、斯坦福大学的 Neurogrid、苏黎世大学的 DYNAP™-SE2、海森堡大学的 BrainScaleS 、Intel 的 Loihi、曼彻斯特大学的 SpiNNaker、清华大学的天机芯片和浙江大学的达尔文芯片，这些芯片通过不同的架构和计算原理，模拟生物神经网络的特性，支持脉冲神经网络（SNN）以及大规模并行计算等应用场景。这些研究为神经形态计算的理论和应用奠定了坚实基础，为神经形态计算研究开拓了新的方向。

4.1 IBM TrueNorth 芯片

IBM TrueNorth 芯片是 2014 年发布的一款神经形态 CMOS 集成电路，采用片上多核处理器网络设计，基于三星 28 nm 工艺，集成 4096 个核心，每个核心包含 256 个可编程模拟神经元，总共超过 100 万个神经元，如图 13 所示[36]。每个神经元具有 256 个可编程突触，总突触数量超过 2.68 亿，芯片内的晶体管数量达 54 亿[37]。

TrueNorth 的每个神经突触核心集合了存储、

计算和通信的功能, 具有极高的能效。其功耗仅为 70 毫瓦, 功率密度为传统微处理器的万分之一, 这得益于其在低温下运行以及仅在进行计算时消耗能量的设计。

图 13　IBM 的 TrueNorth 芯片[36]
Fig. 13　IBM's TrueNorth chip [36]

2018 年, TrueNorth 集群与主计算机结合, 用于立体视觉研究, 成功从快速移动的物体中提取深度信息。2023 年, IBM 推出了 NorthPole 芯片, 性能提升 4 000 倍。与 GPU 相比, NorthPole 在相同的 12 nm 制程工艺下, 运行 ResNet-50 或 Yolo-v4 任务时速度提升 22 倍, 能耗降低 25 倍, 空间占用减少 5 倍。该芯片具有 224 MB RAM 和 256 个核心, 每个核心每周期可执行 2048 个 8 位精度操作或 8 192 个 2 位精度操作, 频率范围为 25 到 425 MHz。尽管该芯片设计用于推理任务, 但目前尚无法处理 GPT-4 等更复杂的任务。

该芯片采用线性泄漏积分发放(Linear-Leak Integrate-and-Fire, LLIF)模型, 简化了传统的 LIF 模型[38]。TrueNorth 无需时钟, 基于一元数操作, 最多支持 19 位计数[39]。其核心通过同步和异步逻辑进行事件驱动, 并通过片上异步分组交换网格网络进行连接, 进一步提升了性能和效率[39]。

4.2　斯坦福大学的 Neurogrid 芯片

Neurogrid 是斯坦福大学于 2009 年由 Kwabena Boahen 教授及其 Brains in Silicon 团队开发的类脑芯片, 采用模拟电路架构, 模拟神经元的离子通道行为, 以实现低功耗的并行处理[40-41]。Neurogrid 实时模拟了 100 万个神经元和 60 亿个突触。神经元以每秒 10 次的速率发放信号。Neurogrid 支持事件驱动的异步数字电路, 设计上强调通过模拟电路的优势来降低能耗, 整个板卡消耗的电能不足 2 瓦。

Neurogrid 板包含 16 个 Neurocore, 每个 Neurocore 包含 256×256 个硅基神经元, 芯片尺寸为 11.9 毫米 × 13.9 毫米。Neurogrid 可以模拟 16×256×256 个神经元的皮层片, 如图 14 所示。芯片通过每秒 80M 脉冲的连接以二进制树形式互连。每个 Neurocore 具有片上 RAM, 扩展板上有片外 RAM, 分别用于软件方式的垂直和水平皮层连接。每个 Neurocore 具有 61 个分级和 18 个二进制可编程参数, 能够模拟各种脉冲和交互模式。

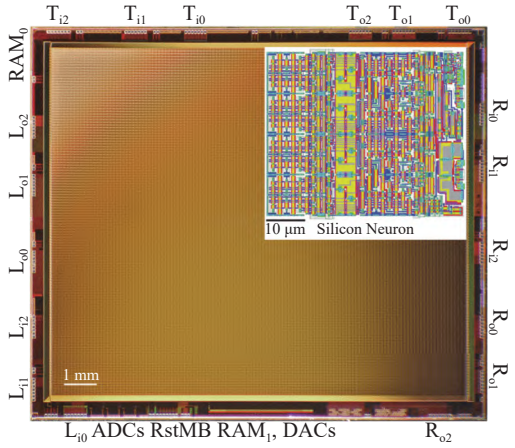

图 14　斯坦福大学的 Neorogrid 芯片[40]
Fig. 14　Stanford University's Neorogrid chip [40]

4.3　苏黎世大学的 DYNAP™-SE2 芯片

DYNAP™-SE2 是苏黎世大学 2024 年最新发布的一款可扩展多核动态神经形态异步尖峰神经网络处理器[42], 专为低延迟、低功耗的实时边缘计算应用设计, 如图 15 所示。该芯片基于 180 纳米 CMOS 工艺, 整体面积为 98 mm², 其中核心区域占

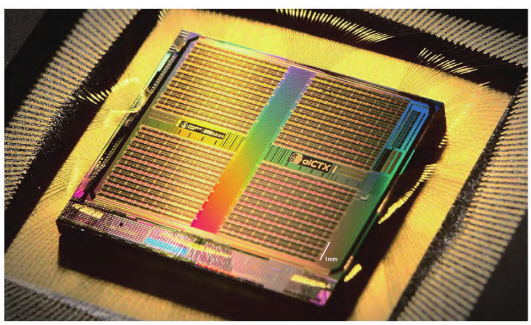

图 15　DYNAP™-SE2 芯片的照片, 该芯片面积为 98 mm², 采用 180 nm CMOS 工艺制造[42]
Fig. 15　Photo of the DYNAP™-SE2 chip, which has an area of 98 mm² manufactured in 180 nm CMOS technology [42]

69.94 mm^2, 具备出色的能效和计算能力。

DYNAP™-SE2 配备了 1024 个自适应指数积分发放(adaptive exponential integrate-and-fire)模拟超低功耗脉冲神经元和 65,000 个可配置突触, 每个神经元拥有 64 个突触, 支持短期可塑性(STP)和延迟调节。这些神经元分布在 4 个计算核心内, 能够与多达 230,000 个周围神经元进行通信, 适用于大规模神经网络应用。

在性能方面, DYNAP™-SE2 具备优异的能效表现, 在 80 Hz、1.8 V 条件下, 每次尖峰操作的能耗仅为 150 皮焦耳。芯片采用异步低延迟通信架构, 支持大规模神经网络的无缝扩展, 能够通过异步总线扩展至 15×15 的芯片网络, 满足高度并行计算的需求。

此外, DYNAP™-SE2 集成了 8 通道的低噪声模拟前端(AFE)和动态视觉传感器(DVS)接口, 能够实时处理生物信号和事件流, 特别适用于移动健康、机器人控制等对低功耗和高实时性要求较高的应用场景。这些创新特性使 DYNAP™-SE2 在神经形态计算领域具有重要的技术优势和广泛的应用前景。

4.4 海森堡大学的 BrainScaleS 芯片

BrainScaleS 是由欧洲联盟资助, 海德堡大学研发的数模混合类脑多尺度计算混合神经形态超级计算机[43], 如图 16 所示。它的架构在物理层面上模拟了生物神经元及其连接, 并且由于组件采用硅材料制造, 模拟的神经元运行速度平均比生物神经元快 864 倍(24 小时的生物时间在机器中可被压缩至 100 秒)。BrainScaleS 是以数字技术为基础的

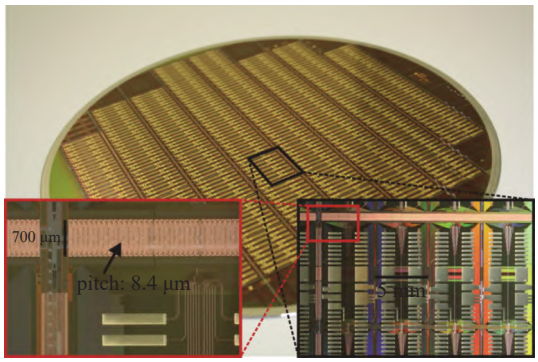

图 16 BrainScaleS 后处理晶圆, 包含约 2000 万个可塑性突触[43]

Fig. 16 BrainScaleS post-processed wafer containing about 20 million plastic synapses. [43]

SpiNNaker 超级计算机的补充, 两者共同推动了类脑计算的发展。

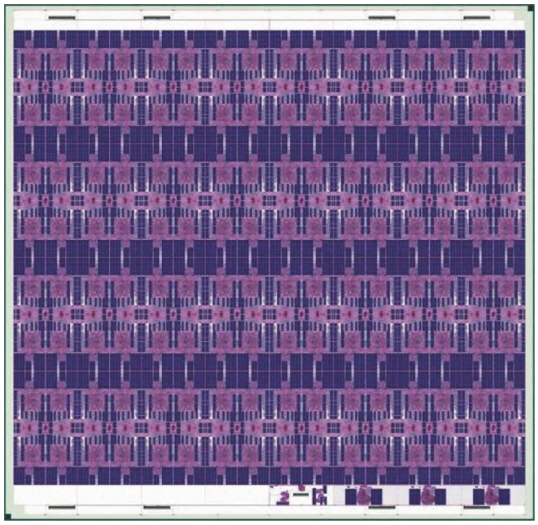

图 17 Loihi 芯片布局图[44]

Fig. 17 Layout of Loihi chip. [44]

4.5 Intel 的 Loihi 芯片

Loihi 是英特尔实验室设计的神经形态研究测试芯片, 采用异步脉冲神经网络(SNN)架构, 能够实现自适应、自我修改和事件驱动的并行计算, 专为高效学习和推理设计, 如图 17 所示。Loihi 于 2017 年 9 月发布, 其后续版本 Loihi 2 于 2021 年底推出。该芯片基于 14 nm 工艺制造, 集成 128 个神经形态核心和一个可编程微码学习引擎, 支持片上神经网络的训练[45]。Loihi 通过其完全异步的多核网格架构进行通信, 允许芯片间的扩展, 支持最多 16,384 颗芯片的大规模扩展, 非常适用于神经形态计算研究和应用。

Loihi 芯片的关键特点是其内部的异步通信架构, 以及通过脉冲传输的尖峰神经网络机制。每个神经元拥有本地状态, 并根据特定规则产生脉冲信号, 与其他神经元进行交互, 形成完全独立且无需同步的操作模式。此外, Loihi 的神经形态核心配备了一个集成的学习引擎, 能够通过可编程的学习规则在芯片内部进行自适应学习。通过这种架构, Loihi 能够有效地进行低延迟和高能效的神经网络推理与学习。

4.6 曼彻斯特大学的 SpiNNaker 芯片

SpiNNaker 是一种由曼彻斯特大学计算机科

学系高级处理器技术研究组设计的超大规模并行多核超级计算机架构, 旨在进行尖峰神经网络的高效计算[46-47]。该芯片的模具如图 18 所示。该系统由 57,600 个处理节点组成, 每个节点配备 18 个 ARM9 处理器(ARM968)和 128MB移动 DDR SDRAM, 总计 1,036,800 个核心, 拥有超过 7 TB 的内存。每个核心能够模拟 1,000 个神经元, 目标是实时模拟最多 10 亿个神经元。该系统广泛应用于“人脑计划”(HBP)神经形态计算平台。

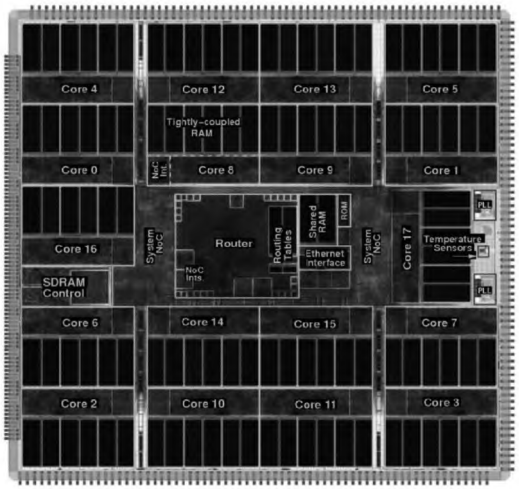

图 18　SpiNNaker 芯片模具[46]
Fig. 18　The die of SpiNNaker chip. [46]

芯片工作频率为 200 MHz。该系统设计为安装在 10 个 19 英寸机架中, 耗电约 100 千瓦, 并要求空调环境进行冷却。其采用多芯片包(MCP)设计, 进一步增强了系统的扩展能力。2018 年, HBP 宣布该系统达到了百万核心里程碑, 并于 2019 年启动了 SpiNNaker 第二代系统(SpiNNcloud)的开发。

4.7　清华大学的天机芯片

清华大学于 2019 年提出的天机芯片(Tianjic Chip)是全球首款面向通用人工智能(AGI)的类脑混合计算芯片[48]。该芯片采用去中心化多核架构, 每个处理核具备本地内存访问和计算能力, 集成了 156 个功能核, 包含约 4 万个神经元和 1,000 万个突触。天机芯片的独特之处在于其兼容性, 不仅能够支持面向计算机科学的机器学习算法和面向神经科学的神经形态计算模型, 还支持两者的混合建模, 为通用人工智能的研究提供了通用计算平台。

4.8　浙江大学的达尔文芯片

浙江大学与之江实验室联合研制的达尔文类脑计算机(Darwin Mouse)是我国首台基于自主知识产权类脑芯片的类脑计算机系统, 包含 792 颗达尔文 2 代芯片, 能够支持 1.2 亿脉冲神经元和近千亿神经突触的计算, 与小鼠大脑神经元数量相当[49]。该系统典型运行功耗为 350-500 瓦, 是目前神经元规模最大的类脑计算机。为支持系统的高效管理, 研究团队还开发了达尔文类脑操作系统(DarwinOS), 实现了对类脑计算机硬件资源的管理与调度。

达尔文 2 芯片采用 55 纳米标准 CMOS 工艺, 单芯片由 576 个内核组成, 每个内核支持 256 个神经元, 配备超过 1,000 万个突触。通过系统级扩展, 达尔文 2 能够构建千万级神经元规模的类脑计算系统, 且功耗比传统计算芯片低两个数量级。该芯片已成功应用于手势识别、图像识别、语音识别和脑电识别等多个任务。

5　结论

随着摩尔定律逐渐失效以及人工智能应用对计算能力需求的增加, 神经形态器件和芯片成为突破现有计算瓶颈的重要方向。RRAM、STT-MRAM 等存储器件为存算一体化提供了可行的硬件基础, 而类脑计算则通过模拟生物神经网络的计算模式, 有效降低了能耗并提升了计算效率。本文通过分析当前几种主流的神经形态芯片及其应用场景, 指出了未来在该领域的研究重点应集中于提高存储密度、降低功耗以及增强计算精度等方面。未来, 神经形态计算有望在大规模并行处理、实时处理等高效应用中发挥重要作用。

参考文献:

[1] Wolters C, Yang X, Schlichtmann U, et al. Memory Is All You Need: An Overview of Compute-in-Memory Architectures for Accelerating Large Language Model Inference [J]. arXiv preprint arXiv: 2406.08413 .

[2] Li J, Abbas H, Ang D S, et al. Emerging memristive artificial neuron and synapse devices for the neuromorphic electronics era[J]. Nanoscale horizons, 2023, 8(11): 1456-1484.

[3] Chua L. Memristor-the missing circuit element[J]. IEEE Transactions on circuit theory, 1971, 18(5): 507-519.

[4] Marković D, Mizrahi A, Querlioz D, et al. Physics for

neuromorphic computing[J]. Nat Rev Phys, 2020, 2: 499-510.

[5] Burr G, Shelby R, Sebastian A, et al. Neuromorphic computing using non-volatile memory[J]. Advances in Physics: X, 2016, 2(1): 89-124.

[6] Wulf A, and Sally A. Hitting the memory wall: Implications of the obvious[J]. ACM SIGARCH computer architecture news, 1995, 23(1): 20-24.

[7] Zidan A, John S, Wei L. The future of electronics based on memristive systems[J]. Nature electronics, 2018, 1: 22-29.

[8] Sole, M. Layout regularity for design and manufacturability [M]. Doctoral dissertation, Universitat Politècnica de Catalunya, 2013.

[9] Ma N, Zhang X, Zheng H, et al. Shufflenet v2: Practical guidelines for efficient cnn architecture design [C]. In Proceedings of the European conference on computer vision (ECCV), 2018: 122-138.

[10] Mead C. Neuromorphic electronic systems [M]. Proceedings of the IEEE, 1990, 78(10), 1629-1636.

[11] Ahmed L, Dhanasekar S, Sagayam K, et al. Introduction to Neuromorphic Computing Systems [M]. In Neuromorphic Computing Systems for Industry 4.0, 2023, 1-29, IGI Global.

[12] Hodgkin A, Huxley A. A quantitative description of membrane current and its application to conduction and excitation in nerve[J]. The Journal of physiology, 1952, 117(4): 500.

[13] Izhikevich E. Simple model of spiking neurons. IEEE Transactions on neural networks [J], 2003, 14(6): 1569-1572.

[14] Abbott L. Lapicque's introduction of the integrate-and- fire model neuron (1907)[J]. Brain research bulletin, 1999, 50(5-6): 303-304.

[15] Chen A, Hutchby J, Zhirnov V, et al. Emerging nanoelectronic devices [M]. John Wiley & Sons, 2014.

[16] Wu P, Su J, Hong L, et al. A 22nm 832Kb hybrid-domain floating-point SRAM in-memory-compute macro with 16.2-70.2 TFLOPS/W for high-accuracy AI-edge devices [C]. In 2023 IEEE International Solid-State Circuits Conference (ISSCC), 2023: 126-128.

[17] Song J, Tang X, Qiao X, et al. A 28 nm 16 kb bit-scalable charge-domain transpose 6T SRAM in- memory computing macro[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2023, 70(5): 1835-1845.

[18] Mu J, Kim H, Kim B. SRAM-based in-memory computing macro featuring voltage-mode accumulator and row-by-row ADC for processing neural networks [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2022, 69 (6): 2412-2422.

[19] Sebastian A, Le M, Khaddam R, et al. Memory devices and applications for in-memory computing[J]. Nature nanotechnology, 2020, 15(7): 529-544.

[20] Jhang C, Xue C, Hung J, et al. Challenges and trends of SRAM-based computing-in-memory for AI edge devices[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2021, 68(5): 1773-1786.

[21] Hong S, Jo W, Kim S, et al. Dyamond: A 1T1C DRAM In-memory Computing Accelerator with Compact MAC-SIMD and Adaptive Column Addition Dataflow [C]. In 2024 IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits), 2024: 1-2.

[22] Sudarshan C, Soliman T, De la Parra C, et al. A novel DRAM-based process-in-memory architecture and its implementation for CNNs [C]. In Proceedings of the 26th Asia and South Pacific Design Automation Conference, 2021: 35-42.

[23] Xie S, Ni C, Sayal A, et al. eDRAM-CIM: Compute-in-memory design with reconfigurable embedded-dynamic-memory array realizing adaptive data converters and charge-domain computing [C]. In 2021 IEEE International Solid-State Circuits Conference (ISSCC), 2021, 64: 248-250.

[24] Xiang Y, Huang P, Han R, et al. Efficient and robust spike-driven deep convolutional neural networks based on NOR flash computing array[J]. IEEE Transactions on Electron Devices, 2020, 67(6): 2329-2335.

[25] 赵亮, 高世凡, 张圣波, et al. 基于闪存的可编程线性忆阻器及其存算一体化电路与系统 [J]. 中国科学: 信息科学, 2022, 52(1): 176–186.

[26] Wan W, Kubendran R, Schaefer C, et al. A compute-in - memory chip based on resistive random-access memory[J]. Nature, 2022, 608(7923): 504-512.

[27] 胡俊达, 刘昊, 徐辛, 等. 基于 Ag/CeO2/ITO 忆阻器的片上学习神经网络 [J]. 功能材料与器件学报, 2024, 30(02): 104-112.

[28] Khan S, Rahmani M, Kim H, et al. Polymer-based non-volatile resistive random-access memory device fabrication with multi-level switching and negative differential resistance state[J]. Organic Electronics, 2021, 96: 106228.

[29] Linn E, Rosezin R, Kügeler C, et al. Complementary resistive switches for passive nanocrossbar memories[J]. Nature Mater, 2010, 9: 403-406.

[30] Joshua J, Zhang M, Pickett M, et al. Engineering nonlinearity into memristors for passive crossbar applications [J]. Applied Physics Letters, 2012, 100(11): 113501.

[31] Chen F, Chen Y, Wu T, et al. Write scheme allowing reduced LRS nonlinearity requirement in a 3D-RRAM array with selector-less 1TNR architecture[J]. IEEE Electron Device Letters, 2014, 35(2): 223-225.

[32] Joshi V, Le M, Haefeli S, et al. Accurate deep neural network inference using computational phase-change memory[J]. Nature communications, 2020, 11(1): 2473.

[33] Jung S, Lee H, Myung S, et al. A crossbar array of magnetoresistive memory devices for in-memory computing. Nature, 2022, 601: 211–216.

[34] 美国 avalanche 公司 STT-MRAM 产品样本 [EB/OL]. https://www.avalanche-technology.com/key-things-to-know-about-stt-mram-what-is-it/.

[35] Wu L, Taouil M, Rao S, et al. Survey on STT-MRAM testing: Failure mechanisms, fault models, and tests [J]. 2020, arXiv preprint arXiv: 2001.05463.

[36] Krishna R, Nandini D, Mayan J, et al. Neuromorphic Computing–The Principal of Development [C]. In Proceedings of the First International Conference on Computing, Communication and Control System, I3CAC, 2021, Bharath University, Chennai, India.

[37] Paul A, John V, Rodrigo A, et al. , A million spiking-neuron integrated circuit with a scalable communication network and interface[J]. Science, 2014, 345: 668-673.

[38] How IBM Got Brainlike Efficiency From the TrueNorth Chip[EB/OL]. https://spectrum.ieee.org/how-ibm-got-brainlike-efficiency-from-the-truenorth-chip

[39] Andreou G, Dykman A, Fischl D, et al. Real-time sensory information processing using the TrueNorth Neurosynaptic System [C]. 2016 IEEE International Symposium on Circuits and Systems (ISCAS), 2016: 2911.

[40] Benjamin B, Gao P, McQuinn E, et al. Neurogrid: A mixed-analog-digital multichip system for large-scale neural simulations[J]. Proceedings of the IEEE, 2014, 102(5): 699-716.

[41] Khodagholy D, Gelinas J, Thesen T, et al. NeuroGrid: recording action potentials from the surface of the brain[J]. Nature neuroscience, 2015, 18(2): 310-315.

[42] Richter O, Wu C, Whatley A, et al. DYNAP-SE2: a scalable multi-core dynamic neuromorphic asynchronous spiking neural network processor[J]. Neuromorphic Computing and Engineering, 2024, 4(1): 014003.

[43] Beyond von Neumann, Neuromorphic Computing Steadily Advances [EB/OL]. https://www.hpcwire.com/2016/03/21/lacking-breakthrough-neuromorphic-computing-steadily-advance/.

[44] Davies M, Srinivasa N, Lin T, et al. Loihi: A neuromorphic manycore processor with on-chip learning[J]. IEEE Micro, 2018, 38(1): 82-99.

[45] Orchard G, Frady E, Rubin D, et al. Efficient neuromorphic signal processing with loihi 2 [M]. In 2021 IEEE Workshop on Signal Processing Systems (SiPS), 2021: 254-259.

[46] Furber S, Lester D, Plana L, et al. Overview of the SpiNNaker system architecture[J]. IEEE transactions on computers, 2012, 62(12): 2454-2467.

[47] Painkras E, Plana L, Garside J, et al. SpiNNaker: A 1-W 18-core system -on-chip for massively-parallel neural network simulation [J]. IEEE Journal of Solid-State Circuits, 2013, 48(8): 1943-1953.

[48] Tsinghua's Tianjic Chip selected for 15 world-leading internet scientific and technological achievements [EB/OL]. https://www.tsinghua.edu.cn/en/info/1399/9787.htm.

[49] 我国科学家成功研制全球神经元规模最大的类脑计算机 [EB/OL]. http://www.news.zju.edu.cn/2020/0901/c23225a2190595/pagem.htm.