文章编号:1007 - 4252(2024)04 - 0004 - 219　　DOI: 10.20027/j.gncq.2024.0031

高深宽比硅通孔(TSV)电镀铜填充工艺研究

蒋　闯[1,2], 于仙仙[1,2], 鲍正广[3]

(1. 上海市集成电路关键工艺材料重点实验室, 上海 201616; 2. 上海新阳半导体材料股份有限公司, 上海 201616; 3. 上海爱浦迈科技有限公司, 上海 200000)

摘要: 作为后摩尔定律时代重要的集成技术之一, 硅通孔(Through Silicon Via, TSV)技术目前在工业界得到了迅速的发展和广泛的应用。三维(3D)-TSV 是 TSV 技术的核心, 也是实现芯片级互联的关键。本文通过对 3D-TSV 电镀添加剂含量、电镀时间、扩散时间及电镀搅拌速度等工艺的研究, 得到了最佳的电镀工艺参数, 并获得了表面光洁均匀的镀层, 实现主流孔型 10 μm×100 μm 的无缺陷填充, 且在化学机械抛光(chemical mechanical polish, CMP)后平整无空洞缺陷。

关键词: 硅通孔; 铜电镀工艺; 添加剂; 化学机械抛光

中图分类号: (530.4120)　　**文献标志码**: A

High depth ratio through silicon Via (TSV) TSV copper platting process study

JIANG Chuang[12], YU Xianxian[12], BAO Zhengguang[3]

(1. ShanghaiKey Laboratory of IC Process Materials, Shanghai 201616, China; 2. Shanghai Sinyang Semiconductor Materials Co., Ltd. Shanghai 201616, China; 3. Shanghai Aipumai Technology Co., Ltd., Shanghai 200000)

Abstract: As one of the important integration technologies in the More than Moore Era, Through Silicon Via (TSV) technology is now rapidly developing and widely used in industry. 3D-TSV is the core of TSV technology, and is also the key to realize chip-scale interconnections. In this paper, through the study of 3D-TSV plating additive content, plating time, diffusion time and plating stirring speed and other processes, we have obtained the best plating process parameters, and obtained a smooth and uniform surface plating layer, to achieve the mainstream hole type 10 μm×100 μm defect-free filling, and flat and no hollow defects after the CMP (chemical mechanical polish) The surface is clean and homogeneous.

Key words: Through silicon via; Copper plating process; additive; CMP

收稿日期: 2024-04-24;　　**修订日期**: 2024-06-11

基金项目: 上海市集成电路关键工艺材料重点实验室项目(No. 00000000; No. 1111111).

作者简介: 蒋　闯(1985-), 男, 硕士, 主要研究方向为芯片级清洗与封装(E-mail: chuang_jiang@sinyang.com.cn).

0 引言

随着人类社会信息化、智能化的迅猛发展,集成电路技术即将进入后摩尔时代[1-2]。三维集成是后摩尔时代中支撑半导体器件小尺寸化、多功能化、高可靠性的关键技术,可以将逻辑芯片、存储芯片、射频芯片和 MEMS 等不同功能、不同类型的芯片集成到一个系统中[3-7]。相对于传统的封装技术,硅通孔(TSV)技术有着诸如例如缩短互联长度,减小产品尺寸,降低内阻和功耗,提高芯片性能等方面的独特优势,将在三维集成工艺中发挥举足轻重的作用。

自底向上(Bottom-up)的 TSV 铜电镀填充技术具有沉积速度快、电镀面铜厚度低、不易出现内部空洞及缝隙等优点,同时极大程度降低了 CMP 后空洞缺陷及边缘分层等缺陷的出现,是最经典的 TSV 电镀填充工艺。图 1 为“自底向上”电镀工艺原理示意图,如图所示,电镀工艺中的添加剂对 TSV 的填充效果起到了最直接的影响。

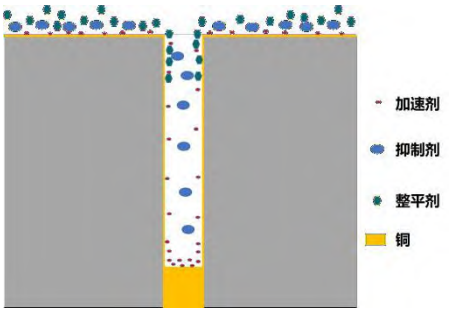

图 1 “自底向上”的电镀工艺示意图

Fig. 1 Demonstration of the “bottom-up” electroplating

添加剂主要包括了具有抑制作用的抑制剂,具有表面整平作用的整平剂和具有底部加速沉淀作用的加速剂,其比例浓度对 TSV 电镀填充效果起着决定性作用[8-12]。为了实现抑制通孔外表面沉积速度,加快通孔内部沉积速度的电镀效果,有以下两个添加剂直接相关的理论要点需要实现:

1)表面抑制剂就是铜表面覆盖强吸附力抑制剂,其原子有包覆作用并对表面的铜沉积有抑制作用。此过程是一个添加剂相互协同作用的过程,在抑制剂抑制表面铜沉积的时,大颗粒的抑制剂有更强的表面抑制作用。

2)加速剂也称为光亮剂是加速铜电镀沉积的作用,顶部抑制剂抑制了铜表面的沉积,而一般对于小分子的加速剂来说,小分子的加速剂在电流的驱使下,率先到达通孔底部,使铜在通孔底面的沉积速度加快,从而达到 TSV 孔底部优先生长的目的。

而整平剂在整个电镀铜沉积过程,起到了部分的整平电镀铜的作用,使得表面镀层更加平整,利于后续的机械研磨工艺。

除此之外,电镀机台的设备性能和工艺参数,如电镀液温度、搅拌速度、电镀扩散时间等会直接导致 TSV 孔被填满的时间、孔内的空洞或缝隙,电镀铜层表面的粗糙程度、孔内生长均匀性等的不同[8]。如果不选择合适的工艺参数,最终可能导致产生诸如内部孔洞和缝隙、孔口凹陷大、面铜厚、表面粗糙和鼓包等缺陷。

本文主要研究 TSV 电镀加速剂,抑制剂,整平剂的含量以及电镀设备相关参数对自底向上生长模式的 TSV 铜充填效果的影响,对铜电镀充填机理进行分析,确定了最佳的电镀工艺条件。

1 实验方法

1.1 实验材料

本文采用了上海新阳半导体材料股份有限公司自主研发的 UPT3360(添加剂)和 SYS2520(基础镀液),整个电镀过程在 1 L 电镀槽和 RAIDER 电镀台内进行操作。

1.2 实验步骤

1) 配置电镀液:在甲磺酸铜溶液中加入指定含量的加速剂 A、抑制剂 S、整平剂 L 以及浓度为 55 克/升的 Cu 离子,组成基本溶液。

2)TSV 电镀:对 8 寸晶圆片进行了 10 μm×100 μm TSV 电镀填充。在电镀过程中,使用直流恒流的电源供电,同时采用磁性搅动,在 25 ℃的恒温下、0.1-0.24 A/dm^{2}密度内进行电镀。

3)电镀效果检测:采用电化学曲线分析、3D-X 射线检测(X-RAY),光学显微镜,扫描电子显微镜(scanning electron microscope, SEM),聚焦离子束(focused-ion-beam, FIB)等检验仪器对 TSV 填充效果进行表征。

2 实验过程

2.1　添加剂的筛选

2.1.1 加速剂 A 的筛选

加速剂基本组成通常为二甲基二硫代甲酰胺丙烷磺酸钠(DPS)、3-巯基-1-丙烷磺酸钠(MPS)、聚二硫二丙烷磺酸钠(SPS)类的物质,其分子量比较小。图 2 展示了在电化学分析曲线中加速剂 A 的影响,加速剂在 via 底部的加速能力占比相对较多,随着时间及电镀镀层增长,加速剂一直起作用,只不过孔口占比相对较少,所以增长较慢;图 2 中的 A-1 曲线极化电位最弱,表示它的加速能力最弱,容易在 via 中下部产生空洞 void,如图(e);图 2 中 A-3 极化电位最强,容易导致 via 提前封口如图(a);图 2 中 A-2 处于极化电位适中位置,在合适的抑制剂及整平剂的浓度下可以实现 via 内部完全填充,如图(b)、(c)、(d)。

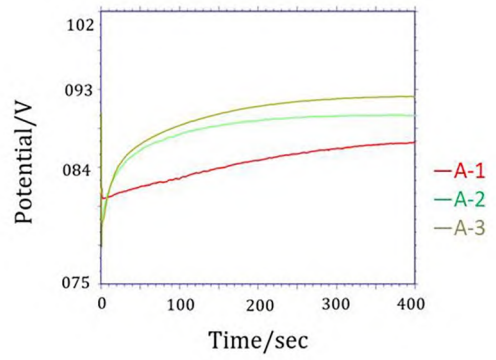

图 2　加速剂 A 对电化学曲线的影响

Fig. 2 The electronic chemical curve about accelerator A influence

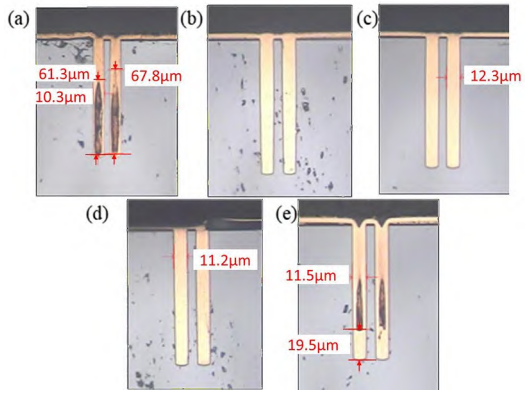

图 3　加速剂 A 含量对 TSV 填充影响

Fig. 3 The amount of accelerator influence for TSV filling

除了电化学分析以外,实验也探索了加速剂 A 含量对电镀效果的影响。在保持抑制剂 S 和整平剂 L 含量不变的前提下,采用了控制变量法,测试了加速剂 A 含量不同(0.5 ml/L ~ 5 ml/L)的添加剂对 TSV 铜电镀填充效果的影响,结果如图 3 所示:

(a)A:S:L=0.5:5:5;(b)A:S:L=2:5:5;(c)A:S:L=2.5:5:5(d)A:S:L=3:5:5;(d)A:S:L=3:5:5;(e) A:S:L=5:5:5。从图中可以看出:当 A 含量在 2 ~ 3 ml/L 范围内时(对应图 3(b)-图 3(d)),TSV 表现为无缺陷填充;当 A 含量过低时(对应图 3(a)),由于通孔底面处的铜沉积速度不足,因而没有形成 Bottom-up 的填充模式;当 A 含量过高时(对应图 3(e)),导致表面处的抑制剂效果不足,因此也没有形成无缺陷填充效果。综上所述,加速剂 A 推荐值为 2 ~ 3 ml/L 范围。

2.1.2 抑制剂 S 的筛选

抑制剂通常为聚醚、聚醇类的表活(例如聚乙二醇,分子量大于 6000)类物质,作用是抑制 TSV 孔侧壁及表面的生长,使得铜优先在孔底沉积,实现无缺陷且填孔速率较快的“自底向上”生长方式。抑制剂在 via 表面及侧壁抑制能力相对较多,随着时间及电镀镀层增长,抑制剂会一直起作用,这对抑制剂的润湿性要求很高,图 4 中 S-3 极化电位最弱,表示它的抑制能力也是最弱的,容易在 via 底部产生 void,有两种解释 1 是润湿效果未达到图(e) wafer 深度,2 是抑制能力太弱,导致 via 底部抑制剂能力较弱产生空洞 void,如图(e);图 4 中 S-1 极化电位表现最强,容易导致 via 内部抑制过强,导致铜离子不能正常生长如图(a);图 4 中 A-2 极化曲线表现适中,结合相对的加速剂及抑制剂可以使 via 内部完全填充,如图(b)、(c)、(d)。

实验也同样分析了抑制剂 S 含量对 TSV 铜填充效果的影响,在保持加速剂 A 和整平剂 L 含量不变的前提下,抑制剂 S 含量在 1 ml/L 到 10 ml/L 范围内设置了 5 组对照组,分别表征了各组 TSV 电镀填充效果,结果如图 5 所示:

(a)A:S:L=2.5:1:5;(b)A:S:L=2.5:4:5;(c)A:S:L=2.5:5:5; (d)A:S:L=2.5:6:5;(e) A:S:L=2.5:10:5。从图 5 可以看出抑制剂 S 含量在 4 ~ 6 ml/L 范围内时,如图 5(b-d),表现为无缺陷填充;当 S 含量过低时,如图 5(a),无法起到抑制孔侧壁和表面的生长,使得填充效果不理想;当抑制剂过

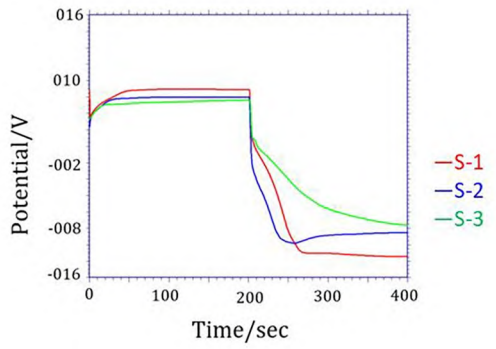

图 4 抑制剂 S 对电化学分析曲线的影响

Fig. 4 The electronic chemical curve about inhibitor S influence

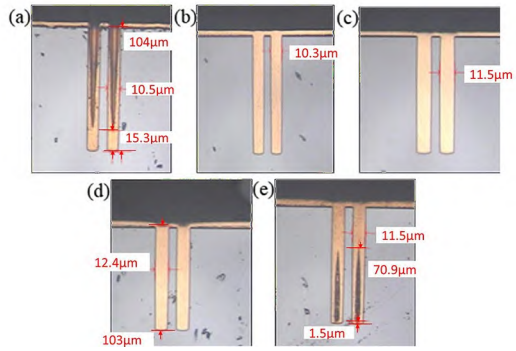

图 5 抑制剂 S 含量对 TSV 填充影响

Fig. 5 The amount of inhibitor S influence for TSV filling

S 含量过高时，如 5(e)图所示，导致加速剂效果减弱，无法形成自底向上的填充模式，出现缺陷。因而抑制速剂 S 推荐值为 4.5 ~5.5 ml/L 范围。

2.1.3 整平剂 L 的筛选

整平剂 L 通常为聚乙烯亚胺盐类的、EO-PO 季胺盐类、聚乙烯亚胺季胺盐类的、聚胺类的物质。在 TSV 电镀填充过程中，主要起到的作用是，抑制 via 面铜、via 孔口侧壁铜沉积的作用，通过合适的浓度控制下可以使孔口微凸、平整或 dish 等不同形貌的镀层，以便于后续的化学机械研磨。

整平剂主要吸附在 via 表面及 via 孔口处，随着时间及电镀镀层增长，整平剂会一直起作用，这对整平剂的吸附要求很高，图 6 中 L-1 极化电位最弱，表示它的吸附能力也是最弱的，容易在 via 中部产生空洞 void，如图(e)；图 6 中 L-2 极化电位表现适中，但是缺少侧壁吸附能力，容易导致在特定的电镀时间里，使铜离子不能正常生长如图(a)镀速偏慢的现象；图 6 中 L-3 极化曲线表现最强，结合相对的加速剂及抑制剂可以使 via 内部完全填充，整平剂较强的情况下，可以更好的辅助加速剂在短时间内快速填充，如图(b)、(c)、(d)。

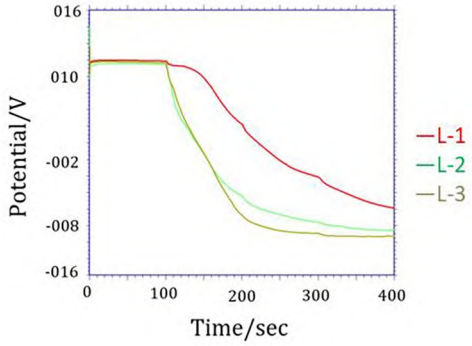

图 6 整平剂 L 对电化学曲线的影响

Fig. 6 The electronic chemical curve about leveling agent L influence

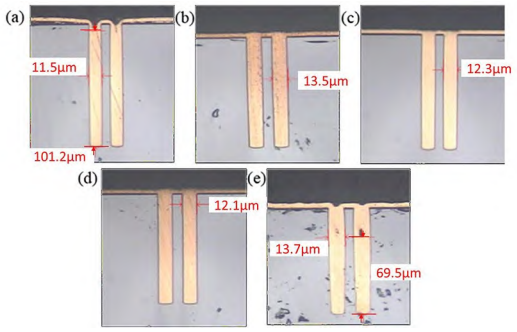

图 7 整平剂 L 含量对 TSV 填充影响

Fig. 7 The amount of leveling agent influence for TSV filling

在保持加速剂 A 和抑制剂 S 含量不变的前提下，整平剂 L 含量从 1 ml/L 到 10 ml/L 范围内设置了 5 组对照组，表征了各组 TSV 电镀填充效果，用来分析整平剂 L 含量对 TSV 填充的影响，结果如图 7 所示：

(a)A:S:L=2.5:5:1；(b)A:S:L=2.5:5:4；(c)A:S:L=2.5:5:5；(d)A:S:L=2.5:5:6；(e) A:S:L=2.5:5:10。从图 7 可以看出，整平剂 L 含量在 4 ~6 ml/L 范围内，如图 5(b-d)，表现为无缺陷填充；当 L 含量过低时，如图 7(a)，整平剂无法起到表面整平抑制效果，无法完整填充 TSV 孔口；当整平剂 L 含量过高时，如图 7(e)所示，因抑制剂侧壁抑制效果减弱，从而形成了孔洞。因而整平剂 S 推荐值为 4 ~6 ml/L。

2.2　电镀工艺参数对电镀 TSV 填充效果的影响

2.2.1 电镀液温度的筛选

本文在不同电镀液温度下进行了 TSV 铜电镀填充实验,结果如图 8 所示。当电镀液温度为 20 ℃时,填充完整无缺陷,面铜厚度为 2.2 μm;25 ℃时,填充完整无缺陷,面铜厚度为 2.2 μm 面铜;30 ℃时,填充完整无缺陷,面铜厚度为 2.3 μm,电镀速度略快,口部有缩小趋势。实验结果表明,电镀液温度在 20 ℃ ~30 ℃时,电镀填充效果正常,温度在此范围内对填充效果的影响较小,温度窗口较宽,建议使用温度为 25 ℃。

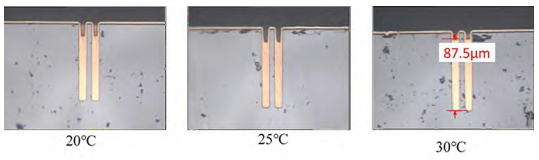

图 8　电镀温度对 TSV 填充的影响

Fig. 8 Effect of the plating temperature for TSV filling

2.2.2 搅拌速度的筛选

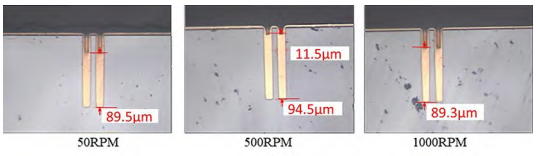

图 9　搅拌速度对 TSV 填充的影响

Fig. 9 Effect of the plating speed of revolution for TSV filling

使用电镀磁力搅拌器,对电镀过程中的电镀液进行搅动,可以使得电镀液与添加剂在溶液中得到了充分的融合,影响电镀效果,故本文探究了搅拌速度对 TSV 铜电镀填充效果的影响,结果如图 9 所示。当搅拌速度为 50RPM 的旋转,通孔填充完整且无瑕疵,但孔内镀速偏慢,面铜厚度为 2.2 μm;转速改为 500RPM,TSV 孔填充完整且无瑕疵,镀速正常,面铜厚度为 2.1 μm;转速为 1000RPM,填充完整且无瑕疵,镀速偏慢,面铜厚度为 2.1 μm。因此,不同转速条件的结果表明,50RPM ~1000RPM 下都能无缺陷填充,有着较宽的工艺窗口,但不同搅拌速度下 TSV 孔口镀速略有不同,导致面铜厚度不同。

然而转速对填孔速度的影响更大,过低过高的转速会使孔内的填孔速度变慢。原因是当电镀液转动过慢时,电镀液无法及时均匀分散导致填孔速度变慢;而电镀液搅拌速度过快,也会造成添加剂来不及扩散至孔的各个沉积部位(比如抑制剂无法有效地附着在孔侧壁及表面),导致表面铜厚增加而孔内的填孔速度不足。与此同时,过快的表面铜沉积也会导致表面铜结晶变粗,不利于后续的 CMP 制程工艺,给研磨带来更加困难。因此,在实际情况,大多会结合使用效率和节能的角度看,通常选择速度较快,且面铜平整较薄的电镀搅拌器速度,这样既满足了填充效果更好,也提高了生产效率。最终获得有利于产业化的方向发展。

2.2.3 扩散时间的筛选

在 TSV 电镀早期阶段,为让添加剂与电镀液相结合并能充分润湿通孔,会在电镀前加一步小电流扩散[13-15]。通过固定该步骤的扩散电流密度为 0.02ASD,设定不同的扩散时间来分析这一步骤对填充效果的影响,结果如图 10 所示。当扩散时间为 1 分钟时,中下部会有小 seam-void,面铜厚度为 2.1 μm;扩散时间为 5 分钟时,填充完整无缺陷,面铜厚度为 2.1 μm;扩散时间为 10 分钟时,填充完整无缺陷。综上所述扩散时间在 5 分钟 ~10 分钟内均可实现无缺陷填充。从节能考虑扩散时间推荐为 5 分钟。

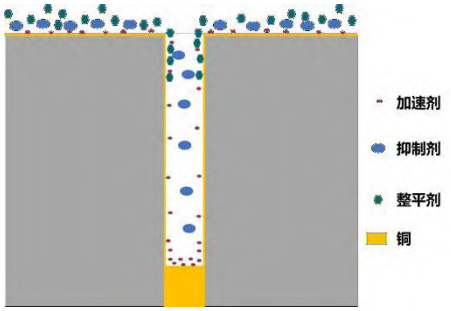

图 10　扩散时间对 3D TSV 填充的影响

Fig. 10 Performance of the plating diffusion time for 3D TSV filling

2.3　优化组合条件

通过以上实验筛选,选择的较优工艺条件如下:添加剂浓度比例为加速剂 UPT3360A = 2.5 ml/L、抑制剂 UPT3360S = 5 ml/L、整平剂 UPT3360L = 5 ml/L,电镀温度设定 25 ℃,1000RPM 的搅拌速度以及 5 分钟的扩散时间,电镀填充效果如图 11 所示,实现无缺陷且填孔速率较快的“自底向上”生长方式。

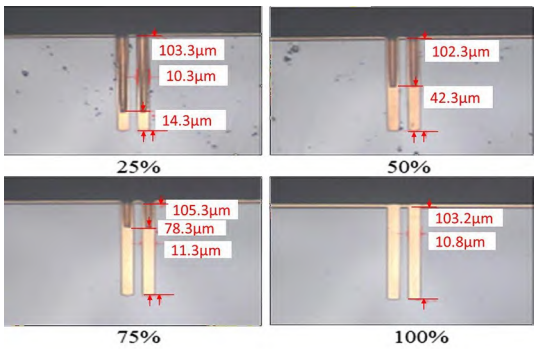

图 11 TSV 填充趋势图

Fig. 11 TSV partial fill

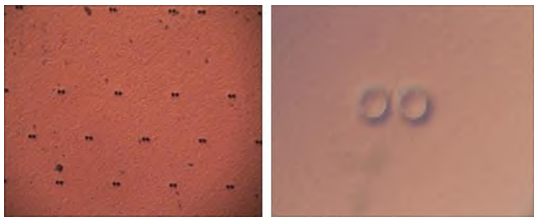

图 12 电镀铜表面检查

Fig. 12 Plating surface inspection

图 12 是 TSV 铜电镀表面结果,可以看出表面平整光洁,没有明显的缺陷。除此之外, X-ray 结果如图 13(a)所示,可以看到电镀后晶圆的整体均匀性依然较高;退火后填充效果及结晶如图 13(b)的 FIB 结果所示,化学机械研磨抛光后的效果如图 13(c)所示,无分层,无表面孔洞等缺陷。可达到工业化生产要求。

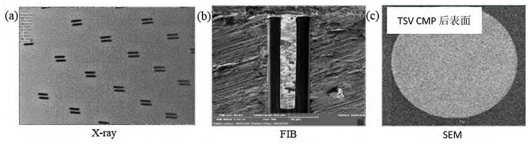

图 13 电镀效果

Fig. 13 Characterization of plating effect

3 结论

综上所述,通过对 TSV 电镀铜添加剂配比及其设备参数等工艺研究,找到对于 10×100 μm 的 TSV 铜电镀的最佳工艺参数,并通过了后道 CMP 制程的考验,为实际工业化生产提供了解决方案。然而对于集成电路的更高集成化发展需求,更高的纵深比的 TSV 孔的无缺陷填充也是必须要迫切解决的发展方向。而对于 TSV 产业化发展,未来仍面临均匀性的挑战,因此势必要更加深刻地理解和创造更好的添加剂以及对材料物质的优化组合,并配合后段工艺需求,为整个集成电路行业发展提供新的发展空间。

参考文献:

[1]王辉,向伟玮,陆吟泉,刘志辉,芯片级集成射频垂直互连技术[J].《电子工艺技术》,2016,37(6):320-326

[2]ZHAO HeRan, CHEN MingXiang, PENG Yang, WANG Qing, KANG Min, CAO LiHua, TXV Technology: The cornerstone of 3D system-in-packaging[J].《Science China (Technological Sciences)》,2022,65(9):2031-2050

[3]阮文彪,陈岚,李志刚,叶甜春,马天宇,王强, Effects of pattern characteristics on the copper electroplating process [J].《半导体学报》,2011,32(5):055010

[4]刘斌,严仕新. 试议 3D 封装到来时的机遇与挑战[Z].《电子工业专用设备》,2010

[5]崔凯,王从香,胡永芳. 射频微系统 2.5D/3D 封装技术发展与应用[J]. 电子机械工程,2016,32(6):1-6.

[6]王成君,胡北辰,杨晓东,武春晖. 3D 集成晶圆键合装备现状及研究进展[J].《电子工艺技术》,2022,43(2):63-67

[7] Koyanagi M, Fukushima T, Tanaka T. High-density through silicon sias for 3-D LSIs. Proceedings of the IEEE, 2009,97(1):49-59

[8]赵文中,樊帆,林鹏荣,等. 2.5D 器件中硅通孔结构设计[J]电子与封装,2020, 20(12): 120204.

[9]刘培生, 黄金鑫, 仝良玉,等. 硅通孔技术的发展与挑战[J]. 电子元件与材料,2012, 31(12): 76-80.

[10]蒋闯. 硅通孔(TSV)填充工艺与可靠性研究[D].《上海交通大学硕士论文》2018.

[11]刘佳,陈际达,邓宏喜,陈世金,郭茂桂,何为,江俊峰. 通孔电镀填孔工艺研究与优化[Z].《印制电路信息》,2015

[12]刘林发. 芯片铜互连电镀添加剂浓度对镀层性能的影响[J].《集成电路应用》, 2019,36(6):25-30

[13]程万,高深宽比的 TSV 电镀铜填充技术研究[D].《中国科学院大学(中国科学院工程管理与信息技术学院)硕士论文》,2017

[14]马丽. 硅通孔(TSV)镀铜填充技术研究[D].《上海交通大学硕士论文》,2016

[15]沈杰,三维封装中硅通孔定电流镀铜填充过程的数值模拟[D].《上海交通大学硕士论文》,2017