文章编号:1007 - 4252(2023)05 - 0005 - 337　　DOI: 10.20027/j.gncq.2023.0044

含 GaN/AlGaN 双异质结源极和半超结的增强型垂直 HFET 的静态特性

汪子盛,韦文生[1*],杨晨飞[1],丁靖扬[1],陈超逸[1],杨锦天[1]
(1.温州大学电气与电子工程学院,浙江 温州 325035)

摘要:GaN/AlGaN 异质结垂直型场效应晶体管(HFET)可用作大功率开关等,但性能受限于击穿电压(V_B)与比导通电阻($R_{on,sp}$)的折衷,值得深入研发。本文构建了一种包含 GaN/$Al_{x1(x2)}Ga_{1-x1(x2)}N$ 双异质结源极和(n)GaN/($p_{1(2)}$)$Al_{x3(x4)}Ga_{1-x3(x4)}N$/(n)GaN 叠层异质半超结的增强型垂直 HFET,利用 Silvaco TCAD 软件模拟了 Al 组份(x_1, x_2, x_3, x_4)、(p)AlGaN 柱宽度、电流阻挡层浓度对器件静态性能的影响。结果表明,双异质结源极能产生更多的二维电子气(2DEG),改变 x_1及 x_2能提高器件的漏极电流密度(J_{DS})并降低 $R_{on,sp}$。调节 x_3及 x_4可优化器件的载流子通道,降低 $R_{on,sp}$;改善漂移区的电场分布,提升 V_B。相较于非均匀掺杂同质全超结垂直型 HFET [DOI:10.1088/1674-1056/27/4/047305],本器件的 $R_{on,sp}$降低 39.33%,功率品质因数(FOM_{BR})提升 46.15%,可为设计高性能 HFET 提供新方案。

关键词:增强型垂直 HFET;GaN/AlGaN 双异质结源极;(n)GaN/(p)AlGaN 叠层异质半超结
中图分类号:TG44　　**文献标志码**:A

Enhanced vertical HFET integrated with dual GaN/AlGaN hetero-junction source and hetero-semi-super-junction

WANGZisheng, WEIWensheng*, YANGChenfei, DING Jingyang, CHEN Chaoyi, YANGJintian
(College of Electrical and Electronic Engineering, Wenzhou University, Wenzhou 325035, Zhejiang, China)

Abstract: The vertical GaN/AlGaN hetero-junction field-effect transistors (HFETs) can be widely used as high-power switching devices, etc. However, the device performance are constrained by the trade-off between breakdown voltage (V_B) and specific on-resistance ($R_{on,sp}$), which are worth further research. Herein, an enhanced vertical HFET integrated with GaN/$Al_{x1(x2)}Ga_{1-x1(x2)}N$ dual hetero-junction (HJ) source and (n)GaN/($p_{1(2)}$)$Al_{x3(x4)}Ga_{1-x3(x4)}N$/(n)GaN stacked hetero-semi-super-junction (HSSJ) is proposed. The effects of the Al compositions (x_1, x_2, x_3, x_4), the width (W_p) of (p)AlGaN pillar, the doped level (N_{CBL}) in current barrier layer (CBL) on the device static performance are simulated by using the Silvaco TCAD software. The results imply that more 2DEGs can be output from the dual HJ

收稿日期:2023-12-20;　　**修订日期**:2024-01-15
基金项目:国家自然科学基金项目(No.62374116);
作者简介:汪子盛(1998-),男,安徽芜湖人,研究生,研究方向为 GaN 基功率器件(E-mail: wzs515ahwh@163.com);
通信作者:韦文生(1966-),男,广西桂林平乐人,教授,主要研究方向为宽带隙半导体材料及电力电子器件(E-mail: weiwensheng287@163.com)。

source with suitable (x_1 and x_2), which yields large drain current density (J_{DS}) and low $R_{on,sp}$. The electric field distribution and carrier path can be optimized by adjusting the Al compositions (x_3 and x_4) in the HSSJ, which results in high V_B and low $R_{on,sp}$. The $R_{on,sp}$ of the proposed device decreased by 39.33% while the power figure of merit (FOM_{BR}) increased by 46.15% comparing to a non-uniformly doped homo-full-super-junction vertical HFET [DOI:10.1088/1674-1056/27/4/047305]. This paper can provide a new scheme for designing high performance HFETs.

Key words: Enhanced vertical HFET, GaN/AlGaN dual hetero-junction source, (n)GaN/(p)AlGaN/(n)GaN hetero-semi-super-junction

0 引言

宽带隙的 GaN/AlGaN 异质结因在结界面的 GaN 一侧出现高浓度、高迁移率的二维电子气(2DEG)、二维空穴气(2DHG)而得到广泛应用[1-2]。GaN/AlGaN 异质结场效应晶体管(Heterojunction Field Effect Transistor, HFET)等便是以此异质结为基本单元的 GaN 基功率器件,目前已有模拟、制成的增强型 GaN 基横向功率器件[3-4]。高压下的 GaN 基横向 HEMT 可能遭遇缓冲层漏电、栅极漏电、栅极边缘电场集中效应等[5],AlGaN 垒层缺陷过多的 GaN 基横向 HEMT 容易发生电流崩塌效应[6],导致性能劣化。科技人员正在探索新的设计和制造方法。Xinhong Cheng 等在 AlGaN 垒层凹槽与 Al_2O_3 绝缘栅之间插入单层石墨烯制成的增强型横向 MIS-HEMT[7],平带电压可从 1.4V 提高至 5.2V;在 AlGaN 垒层与 Al_2O_3 钝化层之间插入氟化石墨烯制成的同型器件[8],可抑制电流崩塌效应,改善静态性能,提供了制造高阈值电压和宽栅压摆幅增强型 HEMT 的有效方法。随着 GaN 自支撑衬底技术的发展,出现了垂直型 GaN 基 HFET。此类器件不用外延缓冲层,避免了应力失配缺陷,而且导电沟道远离器件表面,可以缓解电流崩塌效应。Srabanti Chowdhury 等利用分子束外延(MBE)的低温二次外延方法制备了增强型 GaN/AlGaN 异质结电流孔径垂直电子晶体管(CAVET)器件[9],CAVET 与垂直 HFET 同属于 GaN 基垂直型功率晶体管,但该 CAVET 的阈值电压(V_{th})为-6 V 左右,未能实现增强型,且击穿电压(V_B)在 200 V~260 V 之间。针对此问题,Daisuke Shibata 等利用电流阻挡层(CBL)避免发生漏电击穿[10],并在 CBL 上外延一层 C 掺杂的 p 型 GaN,显著提升电子阻挡效果,制备的垂直型 HFET 的 V_B 达到 1.7 kV,且 V_{th} 达到 2.5 V,实现了增强型器件。Miao Zhang 等在垂直型 HFET 的漂移区中嵌入(p)GaN/(n)GaN 交错型全超结[11],阻断状态下利用 p/n 柱之间的相互耗尽,改善漂移区电场均匀分布,提升 V_B,结果显示,在 V_B=2580 V 时,比导通电阻($R_{on,sp}$)降低了 30%。Wei Mao 等对 n 型与 p 型全超结柱进行非均匀掺杂[12],减少器件在阻断时的剩余载流子浓度来提升 V_B,在 V_B=1890 V 时 $R_{on,sp}$ 降低 51%。

在上述工作的基础上,本文构建了一种包含 GaN/$Al_{x1(x2)}Ga_{1-x1(x2)}N$ 双异质结源极和(n)GaN/($p_{1(2)}$) $Al_{x3(x4)}Ga_{1-x3(x4)}N$/(n)GaN 叠层异质半超结的增强型垂直 HFET,利用 Silvaco TCAD 软件模拟了 Al 组份(x_1, x_2, x_3, x_4)、(p)AlGaN 柱宽度(W_p)、CBL 浓度(N_{CBL})对器件静态性能的影响。

1 器件结构与工艺流程

1.1 器件结构描述

图 1(a)、(b)展示了包含 GaN/$Al_{x1(x2)}Ga_{1-x1(x2)}N$ 双异质结源极和(n)GaN/($p_{1(2)}$) $Al_{x3(x4)}Ga_{1-x3(x4)}N$/(n)GaN 叠层异质半超结的增强型垂直 HFET(DCHSSJ-VEHFET)的三维元胞结构示意图、二维半元胞剖面示意图。由于器件结构对称,只需模拟半元胞,缩短模拟时间。在本器件中,栅极(G)氧化物采用高 k 的 HfO_2 材料作为绝缘层,实现较低的栅极泄漏电流;栅极外侧采用双层 GaN/AlGaN 异质结因极化效应产生的 2DEG 作为源极的载流子,提升源极的载流子浓度。利用 Mg 掺杂的(p)GaN 作为电流阻挡层(CBL),一方面,其中的少数载流子(少子)在栅极电压(V_{GS})的场效应作用下被吸引到栅侧氧化物/半导体界面形成反型层沟道,实现增强型器件。另一方面,在器件阻断时,CBL 与(n^-)GaN

漂移区、(n)GaN 柱构成的体二极管承担较高的反向电压,调节 CBL 浓度可避免器件因体二极管泄露电流过大而提前击穿,提升器件的反向击穿电压(V_B)。在漂移区嵌入(n)GaN 柱和叠层(p)AlGaN 柱构成异质半超结,利用 GaN 与 AlGaN 之间带隙差产生的结势垒,阻碍(n)GaN 柱中的电子与(p)AlGaN 柱中的空穴复合,维持(n)GaN 柱中的电子浓度而不被耗尽,降低 $R_{on,\,sp}$。此外,选用铝组份不同(x_3及 x_4)和掺杂浓度不同(p_1、p_2)的上、下两段 p 型 AlGaN 柱,可以优化器件阻断时漂移区中的场强分布,提升 V_B,改善器件 V_B–$R_{on,\,sp}$之间的折衷关系。

构建器件的参数列入表 1,其中 GaN/AlGaN 异质结中的 Al 组份(x_1 ~ x_4)、p 型柱宽度(W_p)、CBL 浓度(N_{CBL})的变化对器件性能影响显著。

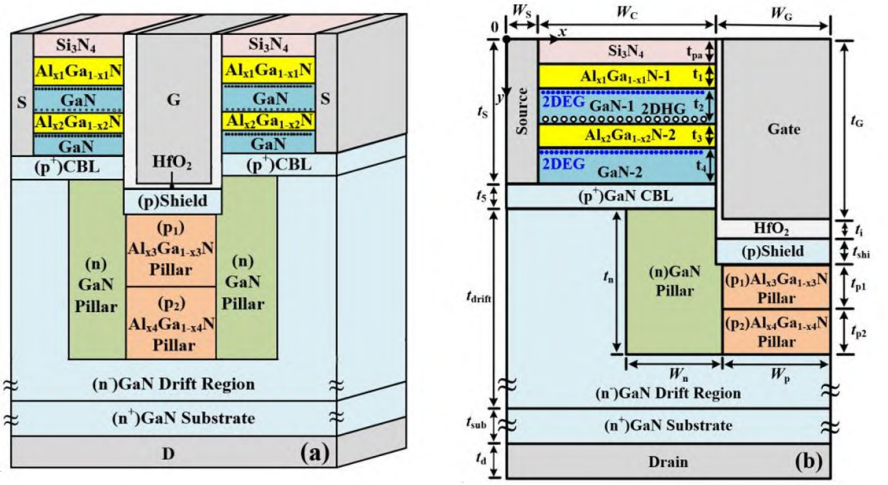


图 1　(a) 本文构建的 DCHSSJ-VEHFET 三维元胞示意图,(b) 二维半元胞剖面示意图。

Fig. 1 Structural sketches of 3-D cell (a) and 2-D semi-cell (b) of the proposed device (DCHSSJ-VEHFET).

表 1　DCHSSJ-VEHFET 半元胞结构参数

Table 1 Semi-cell structural parameters of the DCHSSJ-VEHFET

结构	厚度(μm)	宽度(μm)	Al 组份	掺杂浓度(cm^{-3})
Si_3N_4钝化层	$t_{pa}=0.20$	$W_C=3.00$		
AlGaN-1 层	$t_1=t_3=0.05$	3.00	$x_1=0.10\sim0.50$	
GaN-1 层	$t_2=0.15$	3.00		
AlGaN-2 层	$t_1=t_3=0.05$	3.00	$x_2=0.10\sim0.70$	
GaN-2 层	$t_4=0.05$	3.00		
(p^+)GaN CBL	$t_5=0.40$	4.00		$N_{cbl}=1.00\times10^{17}\sim5.00\times10^{18}$
HfO_2绝缘层	$t_i=0.01$	1.51		
(p^+)GaN 屏蔽层	$t_{shi}=0.20$	1.51		5.00×10^{17}
(n^-)GaN 漂移区	$t_{drift}=10.00$	5.51		5.00×10^{15}
(n)GaN 半超结柱	$t_n=5.00$	$W_n=0.80$		1.00×10^{17}
(p_1)AlGaN 半超结柱	$t_{p1}=3.60$	$W_p=1.20$	$x_3=0.10\sim0.70$	1.00×10^{17}
(p_2)AlGaN 半超结柱	$t_{p2}=0.90$	$W_p=1.20$	$x_4=0.05\sim0.20$	5.00×10^{17}
(n^+)GaN 衬底	$t_{sub}=100.00$	5.51		3.00×10^{19}
漏极	$t_D=0.20$	5.51		
源极	$t_S=0.50$	$W_S=1.00$		
栅极	$t_G=1.20$	$W_G=1.50$		

1.2 器件工艺流程及说明

DCHSSJ-VEHFET 的制造步骤如图 2 所示，简要描述如下：

如图 2(a)所示，在氢化物气象外延(HVPE)方法制备的自支撑(n^+)GaN 衬底上[13]，利用金属有机化学气相淀积(MOCVD)技术生长(n^-)GaN 外延层作为漂移区。

如图 2(b)所示，使用电感耦合等离子体(ICP)刻蚀和掩膜技术，刻蚀(n^-)GaN 外延层获得凹槽[14]；采用 MOCVD 技术在凹槽中生长(n)GaN 柱[15]。

如图 2(c)所示，利用 ICP 刻蚀和掩膜技术，在(n)GaN 柱中部刻蚀形成凹槽；采用 MOCVD 在凹槽中依次生长(p_2)$Al_{x4}Ga_{1-x4}N$ 柱、(p_1)$Al_{x3}Ga_{1-x3}N$ 柱、(p^+)GaN 屏蔽层((p^+)Shield)。

如图 2(d)所示，在漂移区、(n)GaN 柱、屏蔽层的共面上，采用 MOCVD 生长电流阻挡层(CBL)，继而制备两个非有意掺杂的 GaN/AlGaN 异质结(UID-GaN/AlGaN)[16]，再利用 PECVD 制备 Si_3N_4 钝化层。

如图 2(e)所示，利用 ICP 刻蚀和掩膜技术，刻蚀外延层中部至屏蔽层顶部形成 U 型槽；同时刻蚀两侧至 CBL 顶部，形成侧槽；采用射频溅射(RFS)方法形成 HfO_2 绝缘栅层[17]；再利用 PECVD 制备多晶 Si 栅。

如图 2(f)所示，利用电子束蒸发(EBE)技术，在外延层上端左右侧槽淀积多层金属 Ti/Al/Ni/Au 形成源极[18]；在多晶 Si 栅顶部蒸镀金属 Ti/Au 形成栅极；在衬底底部淀积多层金属 Ti/Al/Ni/Au 形成漏极；在保护气氛中退火实现欧姆接触电极。

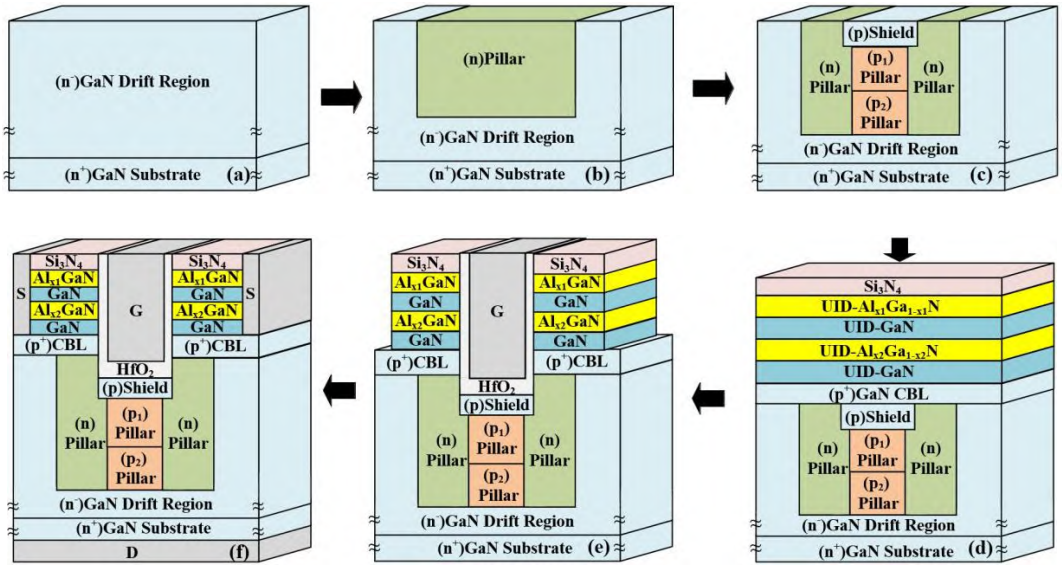


图 2 DCHSSJ-VEHFET 制造流程图。

Fig. 2 Flow sketch for manufacturing the DCHSSJ-VEHFET.

2 结果与分析

在建模仿真器件静态电学特性的过程中，采用了载流子产生与复合模型、场效应迁移率模型、极化模型和载流子统计模型等。对比了包含 GaN/AlGaN 单异质结源极和(n)GaN/(p)AlGaN 叠层异质半超结的参照物(SCHSSJ-HFET)、包含 GaN/AlGaN 双异质结源极和(n)GaN/(p)GaN 叠层同质半超结的参照物(DCSSJ-HFET)的特性，探究源极 GaN/AlGaN 双异质结和(n)GaN/(p)AlGaN 叠层 HSSJ 对器件性能的影响。

2.1 GaN/AlGaN 双异质结源极中 Al 组份的影响

图 3(a)、(b)展示了器件转移特性对源极 GaN/$Al_{x1}Ga_{1-x1}N$ 异质结(HJ_1)、GaN/$Al_{x2}Ga_{1-x2}N$ 异质结(HJ_2)中 Al 组份 x_1 及 x_2 的依赖性。由于 x_1 及 x_2 的变化不影响栅极电压(V_{GS})的场效应——吸引氧化物外侧半导体内的少子并在栅侧氧化物/半导体界

面形成反型导电沟道、CBL 内载流子浓度的分布,所以 x_1、x_2不同的器件的 V_{th}均约为 2.92 V,三种器件的 V_{th}都大于 0,均实现增强型器件。如图 3(c)所示,V_{GS}=0.00 V、V_{DS}=5.00 V 时,源极双异质结的界面均出现了 2DEG,但因 V_{GS}=0.00 V 无场效应,栅侧氧化物/半导体界面未能吸引 CBL 内的少子——电子而形成反型导电沟道,2DEG 未能与(n^-)GaN 漂移区和(n)GaN 柱连通,器件关断。如图 3(d)所示,当 V_{GS}=10.00 V、V_{DS}=5.00 V 时,V_{GS}激发的场效应致使栅侧氧化物/半导体异质结界面形成反型导电沟道,连通源极—2DEG—(n^-)GaN 漂移区和(n)GaN 柱—衬底—漏极,器件导通。在 Al 含量较低时,器件的漏极电流密度(J_{DS})随着 x_1及 x_2的升高而增大并逐步饱和,是由于源极异质结 HJ_1、HJ_2的极化效应产生的二维电子气(2DEG)浓度随着 x_1及 x_2的升高而增大且逐步饱和所致。

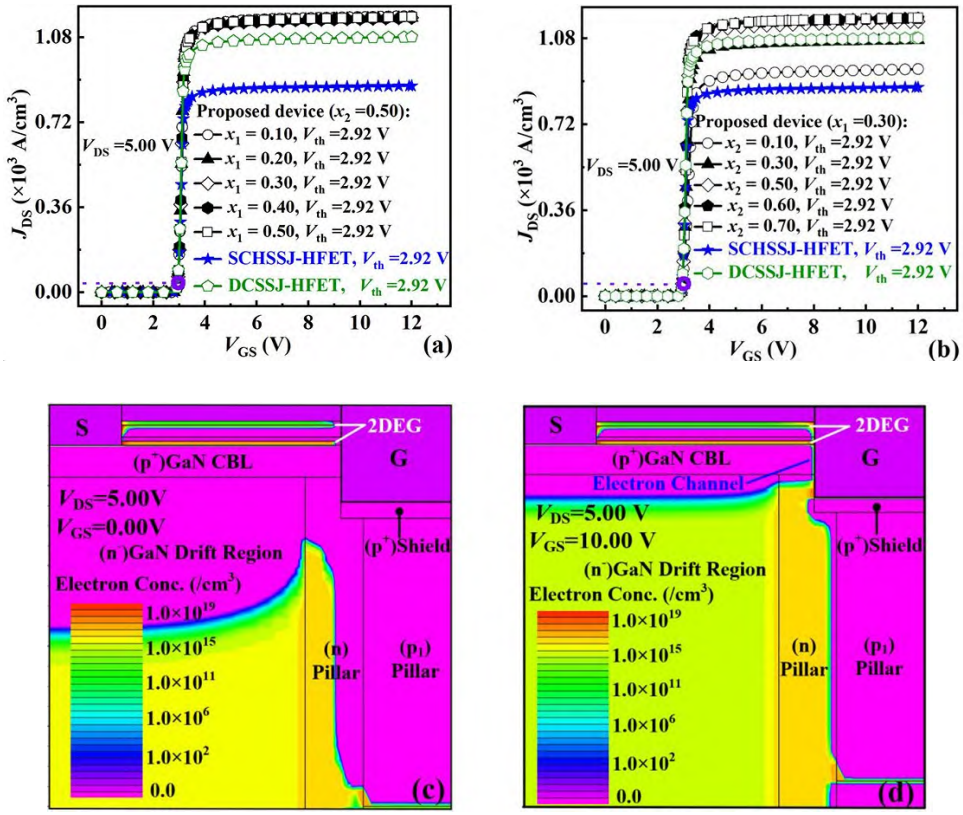


图 3　Al 组份(a) x_1和(b) x_2对本器件转移特性的影响,其中的 SCHSSJ-和 DCSSJ-HFET 是参照器件;(c) V_{GS}=0.00 V 和 V_{DS}=5.00 V、(d) V_{GS}=10.00 V 和 V_{DS}=5.00 V 时本器件电子浓度分布图。

Fig. 3 Influence from Al composition (a) x_1 and (b) x_2 on the transfer properties of the devices, those of the counterparts SCHSJJ - and DCSJJ-HFET are adopted for comparing. Electron concentration distribution in the proposed device operated at (c) V_{GS} = 0.00 V and V_{DS} = 5.00 V, (d) V_{GS} = 10.00 V and V_{DS} = 5.00 V, severally.

图 4(a)、(b)展示了器件输出特性对 GaN/AlGaN 双异质结源极 Al 组份 x_1、x_2的依赖性。HJ_1界面处的压电极化效应随着 x_1增大而增强,产生的 2DEG 浓度增大,对垂直沟道的电子注入效应增强,但受 HJ_2结右端垂直沟道的限制,J_{DS}稍微增大。若继续增加 x_1超过约 0.40 时,HJ_1中 GaN 与 $Al_{x1}Ga_{1-x1}N$ 之间的晶格失配加剧,缺陷态密度升高,俘获 2DEG 的几率增加,从而使 2DEG 浓度有所降低,J_{DS}有所减小,如图 4(a)所示。在图 4(b)中,$R_{on,\ sp}$随着 HJ_2中 Al 组份(x_2)的增大先减小后基本不变,因为 x_2过低(如 x_2=0.10)时极化效应很弱,HJ_2产生的 2DHG 浓度很低,此结右端的垂直沟道很窄,J_{DS}较低,$R_{on,\ sp}$较大;随着 x_2增加,HJ_2的极化效应增强且 2DEG 浓度增大,此结右端的垂直沟道加宽,J_{DS}增

大，$R_{on,\ sp}$降低。若继续增加 x_2，它对 J_{DS}的影响与 x_1的情形相近，不再赘述。在图 4(a)、(b)中，本器件的 $R_{on,\ sp}$较包含单异质结源极和叠层异质半超结的参照物(SCHSSJ-HFET)降低了 27.03%，J_{DS}提升了 31.4%，这是因为本器件的双异质结源极供应的载流子(2DEG)浓度更高，垂直沟道电阻降低所致。本器件与 DCSSJ-HFET 的 J_{DS}一致，但前者的 $R_{on,\ sp}$值降低了 12.90%，这是因为两种器件都含有同样的双异质结源极，但 $R_{on,\ sp}$还与漂移区的半超结有关。图 4(a)、(b)反映，V_{DS}较高时，J_{DS}随 V_{DS}的升高而减小，可推测为电流崩塌效应所致[6]。如图 3(c)、(d)所示 HJ_1的 2DEG 浓度低于 HJ_2的对应值，一是被 $Al_{x1}Ga_{1-x1}N$层内的缺陷俘获；二是 HJ_1中的 2DEG 在高 V_{DS}激发的强电场中能量更大，将摆脱势阱束缚，被 Si_3N_4钝化层与 $Al_{x1}Ga_{1-x1}N$势垒层界面的缺陷俘获，导致 J_{DS}下降。另外，HJ_1中的 2DEG 与 $Al_{x2}Ga_{1-x2}N$/GaN-1 异质结的 2DHG(如图 4(c)所示)中和。本器件在 V_{DS} = 70 V 时的 J_{DS}只比峰值下降 2.37%，说明电流崩塌效应很弱。图 4(d)反映，电流路径远离漂移区中异质半超结的(n)GaN/(p_1) $Al_{x3}Ga_{1-x3}N$、(n)GaN/(p_2) $Al_{x4}Ga_{1-x4}N$异质结界面，J_{DS}将不受这些界面缺陷的影响。图 4(e)显示，CBL/GaN-2 异质结势垒阻碍两侧电子、空穴互相扩散，HJ_2界面的 2DEG 不被 CBL 中的空穴耗尽。包含双异质结源极的本器件的 J_{DS}明显大于包含单异质结源极的参照物(SCHSSJ-HFET)的值，虽然没有达到 2 倍，但只要 x_1、x_2合适，本器件的 $R_{on,\ sp}$明显降低。

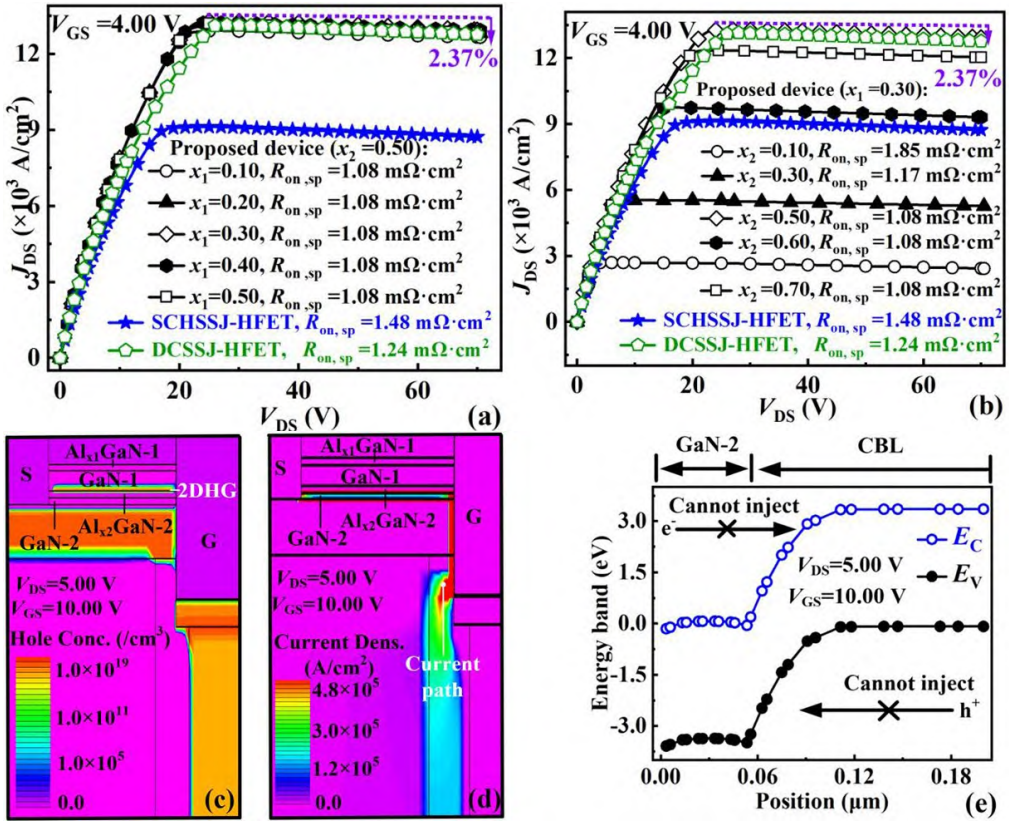


图 4　Al 组份(a) x_1和(b) x_2对器件输出特性的影响，其中的 SCHSSJ-和 DCSSJ-HFET 是参照器件；V_{GS} = 10.00 V 和 V_{DS} = 5.00 V 时本器件(c) 电流密度分布图，(d) 空穴浓度分布图，(e) GaN-2/CBL 处能带图。

Fig. 4 Influence from Al composition (a) x_1 and (b) x_2 on the output properties of the devices, those of the counterparts SCHSSJ- and DCSSJ-HFET are adopted for comparing, (c) the current density distributions, (d) the hole concentration distributions and (e) the energy band of the GaN-2/CBL in the proposed device operating at V_{GS} = 5.00 V and V_{DS} = 10.00 V.

图 5(a)、(b)分别展示了器件击穿特性对 x_1 及 x_2 的依赖性。本器件的 V_B 约为 1695.00 V,接近参照物 SCHSSJ-HFET 的对应值,反映源极 HJ_1、HJ_2 只承担较小的反向电压;相较于另一参照物 DCSSJ-HFET 的 V_B 值提升了 17.05%,反映半超结对 V_B 的影响更大。HFET 源极的 AlGaN/GaN/AlGaN 结构可在 GaN 层上下界面产生正负极化电荷,实现极化超结,提升 GaN 基器件耐压[19]。本器件器件阻断时,HJ_1 界面的 2DEG 与 GaN-1/$Al_{x_2}Ga_{1-x_2}N$ 界面的 2DHG 部分耗尽。因此,V_{DS} 足够大时,GaN-1 层形成的耗尽区承担器件的部分耐压。图 5(c)、(d)分别展示了不同 x_1 及 x_2 时 GaN-1 层纵向电场分布。随着 x_1 的增大,HJ_1 界面的 2DEG 因压电极化效应增强而增加,GaN-1 层电荷不平衡被削弱,GaN-1 层中的场强随之增强,V_B 小幅上升。V_B 随 x_2 的增大先升高后下降,因为 x_2 的增大引起 GaN-1/$Al_{x_2}Ga_{1-x_2}N$ 界面的 2DHG 增多,较多或较少的 2DHG 均导致 GaN-1 层电荷不平衡加剧,平均场强降低,V_B 较低。图 6(a)反映器件击穿时的电场分布,显示此时器件内的电场峰值(E_p)为 2.94 MV/cm,低于 GaN 的临界击穿场强(E_c)。图 6(b)显示了器件击穿时内部的电势分布,在(p_2)$Al_{x4}Ga_{1-x4}N$ 柱上、下方的等势线较密,电场较强,与图 6(a)对应。

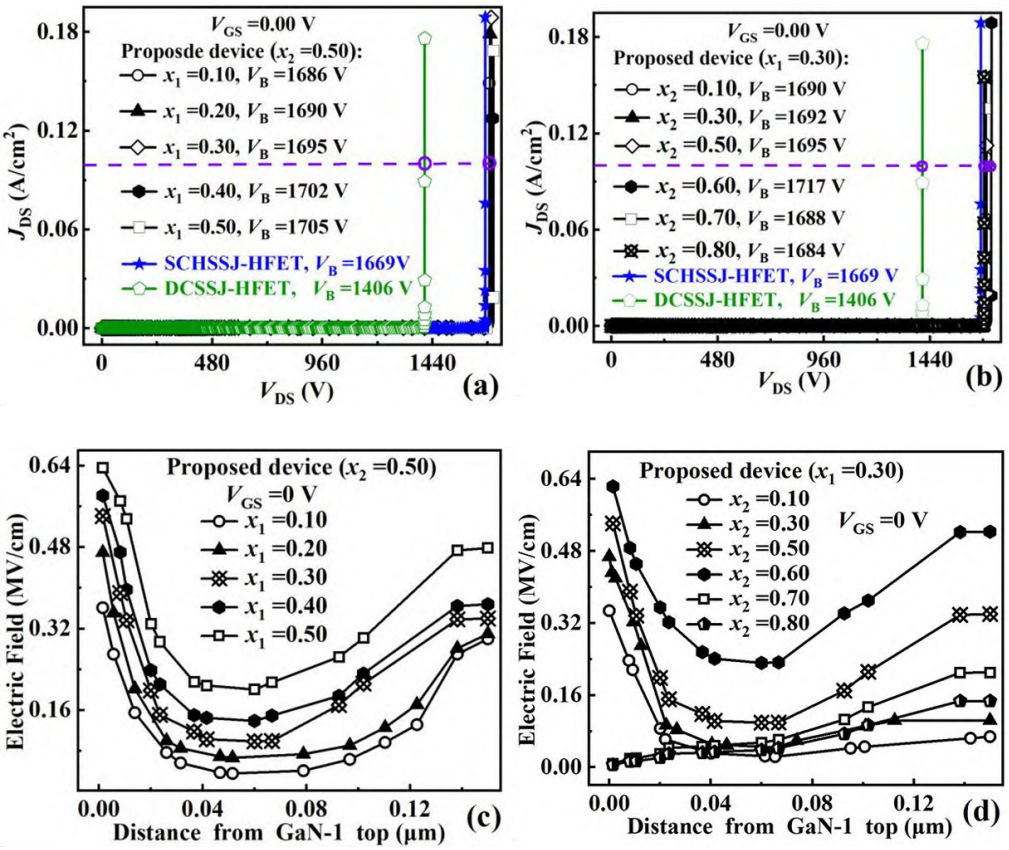


图 5　(a) x_1 和(b) x_2 对器件击穿特性的影响,其中 SCHSSJ-、DCSSJ-HFET 是参照物;(c) x_1 和(d) x_2 对 GaN-1 层从顶部到底部纵向电场分布的影响。

Fig. 5 Influence from (a) x_1 and (b) x_2 on the breakdown properties of the devices, the data of the counterparts SCHSJJ- and DCSJJ-HFET are adopted for comparing; influence from (c) x_1 and (d) x_2 on the electric field distribution in the GaN-1 layer.

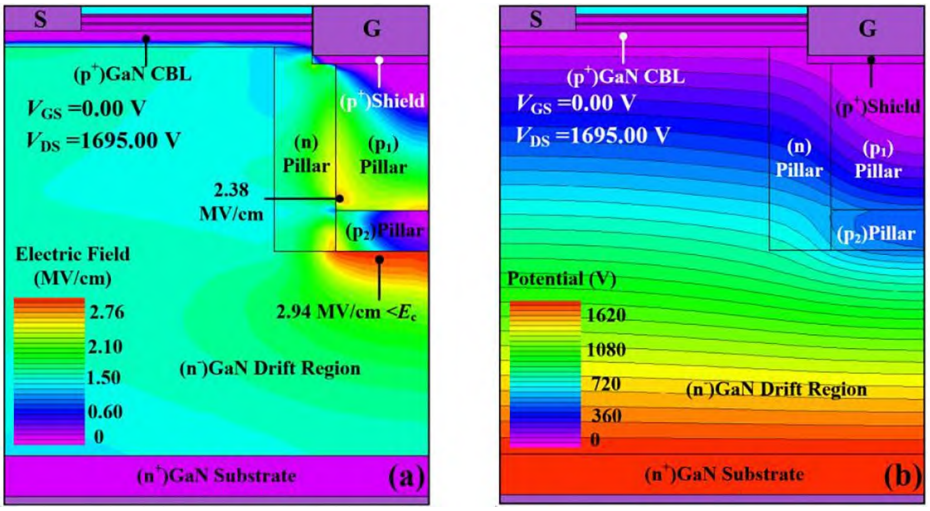
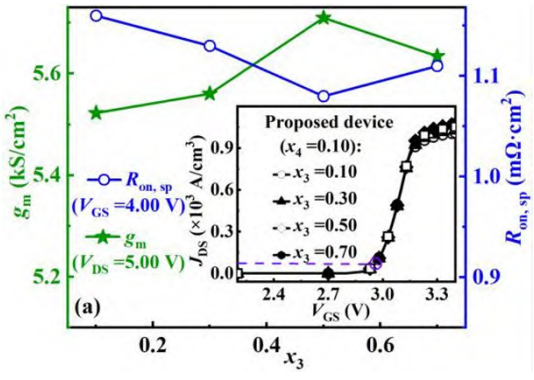


图 6 在 V_{GS} = 0.00 V 和 V_{DS} = 1695.00 V 时本器件的电场强度分布(a)和电势分布(b)。

Fig. 6 (a) and (b) imply the electric field and potential distributions in the proposed device under breakdown.

2.2 叠层异质半超结中 Al 组分及 p 型柱宽度、CBL 浓度的影响

图 7 反映了叠层异质结中 Al 组分(x_3及 x_4)、半超结 p 型柱宽度(W_p)、CBL 浓度(N_{CBL})对器件 $R_{on,sp}$和跨导峰值(g_m)的影响。图 7(a)展示了 $R_{on,sp}$和 g_m对(n)GaN/(p_1)$Al_{x3}Ga_{1-x3}N$ 异质结中 x_3 的依赖性,随着 x_3的增加 $R_{on,sp}$先减小后增大而 g_m 的变化趋势相反。(p_1)$Al_{x3}Ga_{1-x3}N$ 的带隙随 x_3的增加而变宽,(n)GaN/(p_1)$Al_{x3}Ga_{1-x3}N$ 异质结势垒随 x_3的增加而升高,如图 8(a)所示,阻碍电子从(n)GaN 向(p_1)$Al_{x3}Ga_{1-x3}N$ 扩散而与空穴复合,(n)GaN 柱的电子存储效应增强,$R_{on,sp}$降低而 g_m增大;当 x_3过高(如 x_3 = 0.70)时,(n)GaN/(p_1)$Al_{x3}Ga_{1-x3}N$ 异质结晶格失配加剧,缺陷密度增加,对(n)GaN 柱中电子捕获增强,$R_{on,sp}$增大而 g_m下降。由于 x_3 的变化不影响栅侧氧化物/半导体界面形成的反型导电沟道,因此 V_{th}不变,如图 7(a)的插图所示。图 7(b)描绘了 $R_{on,sp}$和 g_m对(n)GaN/(p_2)$Al_{x4}Ga_{1-x4}N$ 异质结中 x_4的依赖性。当 x_4较小(如 x_4 = 0.05)时,(n)GaN/(p_2)$Al_{x4}Ga_{1-x4}N$ 异质结势垒阻碍电子从(n)GaN 向(p_2)$Al_{x4}Ga_{1-x4}N$ 扩散而与空穴复合的能力不强,另一方面,(n^-)GaN/(p_2)$Al_{x4}Ga_{1-x4}N$ 异质结势垒偏向漂移区一侧,如图 8(b),电子通过(p_2)$Al_{x4}Ga_{1-x4}N$ 下方的漂移面积较小,因此 $R_{on,sp}$较大而 g_m较小。小幅度增加 x_4,前一个势垒加强阻碍了电子从(n)GaN 向(p_2)$Al_{x4}Ga_{1-x4}N$ 扩散而与空穴复合,后一个势垒偏向(p_2)$Al_{x4}Ga_{1-x4}N$ 柱一侧,如图 8(b)所示,电子有效漂移面积增大,$R_{on,sp}$减小而 g_m增大,但不明显。图 7(c)反映了半超结柱总宽度(W_n+W_p)保持 2.00 μm 不变时器件的 $R_{on,sp}$和 g_m对 p 型柱宽度(W_p)的依赖性,W_p越大,$R_{on,sp}$越大而 g_m越小,因为 W_p越大则 n 型柱越窄,电子有效漂移面积缩小,相同 V_{DS}下的 J_{DS}减小,$R_{on,sp}$增大而 g_m减小。图 7(d)展示了器件的 $R_{on,sp}$和 g_m对 CBL 浓度(N_{CBL})的依赖性,N_{cbl}越大 $R_{on,sp}$越大,这是因为相同 V_{GS}、V_{DS}下,器件在栅侧氧化物/半导体界面形成的反型导电沟道随 N_{cbl}增大而变窄所致。图 7(d)中的插图是不同 N_{cbl}时器件的转移曲线,可见 N_{cbl}越大 V_{th}越大,这是因为 CBL 中的少子(电子)浓度随着 N_{cbl}增大而降低,器件需要更高的 V_{GS}激发更强的场效应并在栅侧氧化物/半导体界面形成反型导电沟道。



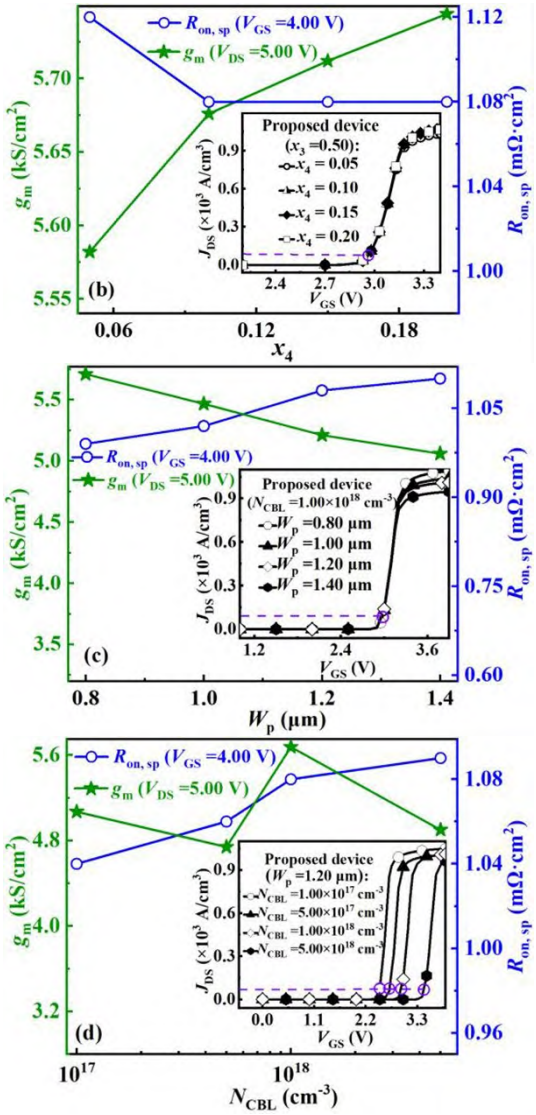


图 7　(a) $Al_{x3}Ga_{1-x3}N$ 柱 Al 组份(x_3)、(b) $Al_{x4}Ga_{1-x4}N$ 柱 Al 组份(x_4)、(c) p 型柱宽度(W_p)和(d) CBL 掺杂浓度(N_{CBL})对本器件跨导峰值(g_m)和比导通电阻($R_{on,sp}$)的影响。

Fig. 7 Influence from (a) Al composition (x_3) in (p_1) $Al_{x3}Ga_{1-x3}N$ pillar, (b) Al composition (x_4) in (p_2) $Al_{x4}Ga_{1-x4}N$ pillar, (c) width (W_p) of p-type pillar and (d) doping concentration (N_{CBL}) in CBL on the transconductance peak (g_m) and specific on-resistance ($R_{on,sp}$) of the proposed device.

图 9 反映了叠层异质结中 Al 组分(x_3及 x_4)、半超结 p 型柱宽度(W_p)、CBL 浓度(N_{CBL})对器件 V_B 的影响。图 9(a)展示了 V_B对 x_3的依赖性,V_B随 x_3的增大先升高后下降。这是由于在阻断状态下,随着 x_3的增大,$Al_{x3}Ga_{1-x3}N/Al_{x4}Ga_{1-x4}N$ 异质结(HJ_3)

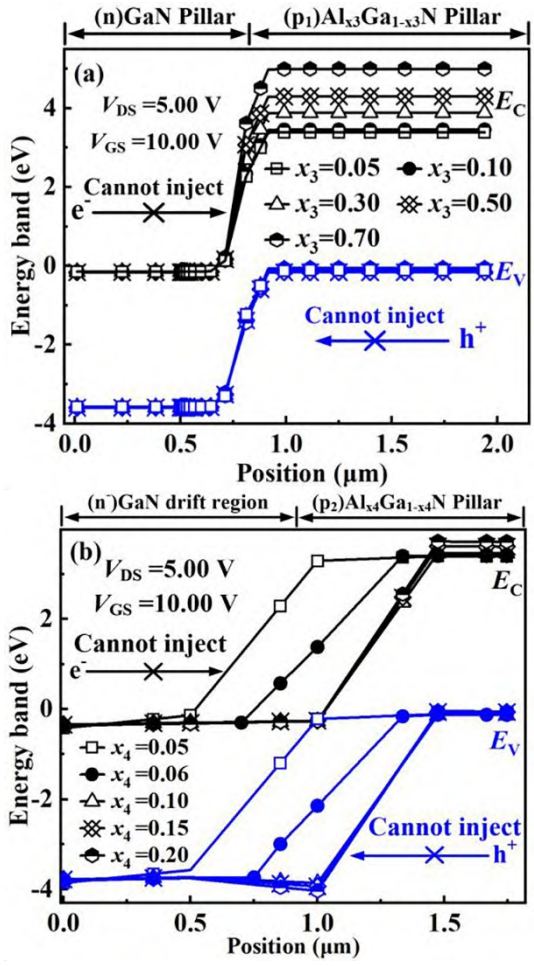


图 8　(a)、(b)为 Al 组份 x_3及 x_4对(n)GaN/(p_1)$Al_{x3}Ga_{1-x3}N$、(n^-)GaN/(p_2)$Al_{x4}Ga_{1-x4}N$ 异质结能带的影响。

Fig. 8 The effects of Al componentx$_3$ and x$_4$ on the energy band of (a) the (n)GaN/(p_1)$Al_{x3}Ga_{1-x3}N$ and (b) the (n^-)GaN/(p_2)$Al_{x4}Ga_{1-x4}N$ hetero-junction, respectively.

的压电极化效应增强,结界面处 2DEG 浓度增大,如图 10(a)所示。HJ_3结界面的 2DEG 将部分复合两侧(p)型柱中的空穴,半超结内的净空穴浓度减少,耐压增强,V_B升高。图 10(a)、(b)中,当 $x_4 = 0.10$ 而 x_3较小(如 $x_3 = 0.10$)时,HJ_3界面的 2DEG 浓度低,(p_1)$Al_{x3}Ga_{1-x3}N$ 内的净空穴浓度较高。图 10(a)、(d)中,$x_4 = 0.10$ 而 x_3较大(如 $x_3 = 0.70$)时,HJ_3结界面的 2DEG 浓度较高,(p_1)$Al_{x3}Ga_{1-x3}N$ 柱靠近 HJ_3处被 2DEG 耗尽,但因 HJ_3结的较高势垒阻碍(p_2)$Al_{x4}Ga_{1-x4}N$ 柱空穴输运,此柱内的净空穴浓度较高,耗尽程度低。因此,x_3较低或较高时 V_B均不高。图 9(b)展示了 V_B对 x_4的依赖性,V_B随 x_4的增

大先升高后下降。当 $x_3=0.50$ 时，HJ_3 结的压电极化效应随 x_4 的增大而减弱，结界面处 2DEG 浓度减小，如图 10(e)所示。图 10(e)、(f)显示，当 $x_3=0.50$ 而 x_4 较小(如 $x_4=0.05$)时，HJ_3 结界面的 2DEG 浓度较高，(p_1) $Al_{x3}Ga_{1-x3}N$ 柱靠近 HJ_3 处被 2DEG 耗尽，而较高的 HJ_3 结势垒阻碍(p_2) $Al_{x4}Ga_{1-x4}N$ 柱内的空穴输运，此柱内的净空穴浓度较大。图 10(e)、(h)显示，当 $x_3=0.50$ 而 x_4 较大(如 $x_4=0.20$)时，HJ_3 界面的 2DEG 浓度低，(p_1) $Al_{x3}Ga_{1-x3}N$ 内的净空穴浓度较高，耗尽程度低。因此，x_4 较低或较高时 V_B 均不高。图 11(a)反映半超结的 p 型柱采用 Al 组分(x)相同而掺杂不同的 $Al_xGa_{1-x}N$ 时 x 对击穿特性的影响。此时的 $V_B\approx1300$ V，低于本器件 V_B 的优化值。图 11(b)为 p 型柱采用 AlN($x=1.00$)的器件击穿时空穴浓度分布图，可见上半部分(p_1柱)的净空穴浓度较高，电场聚集在下半部分(p_2柱)底部，如图 11(c)所示，导致器件在该处提前击穿，V_B 较低。图 9(c)展示了器件 V_B 对 W_p 的依赖性，V_B 随着 W_p 增加而升高。因为 W_p 越大，(n)GaN 柱越窄，因为 AlGaN 的带隙更宽，耐压更高。图 9(d)反映了器件的击穿电压(V_B)随着 N_{CBL} 增加而升高，因为连接源极的 CBL 浓度(N_{CBL})较低时对下方的漂移区耗尽较窄，漏极和源极之间的 CBL/(n^-)漂移区体二极管的反向漏电流过大，导致器件容易击穿，V_B 较低；N_{CBL} 较高时对其下方的漂移区耗尽较宽，漏极和源极之间的漏电流很小，如图 12 所示，V_B 较高。另外，因半超结中 n 型柱与(p_1) $Al_{x3}Ga_{1-x3}N$ 柱异质结势垒阻碍空穴、电子扩散无法互相耗尽，CBL 除了反向耗尽(n^-)漂移区，还应部分耗尽 n 型柱。因此，本器件的 N_{CBL} 设计值高于半超结电荷平衡的理论值。

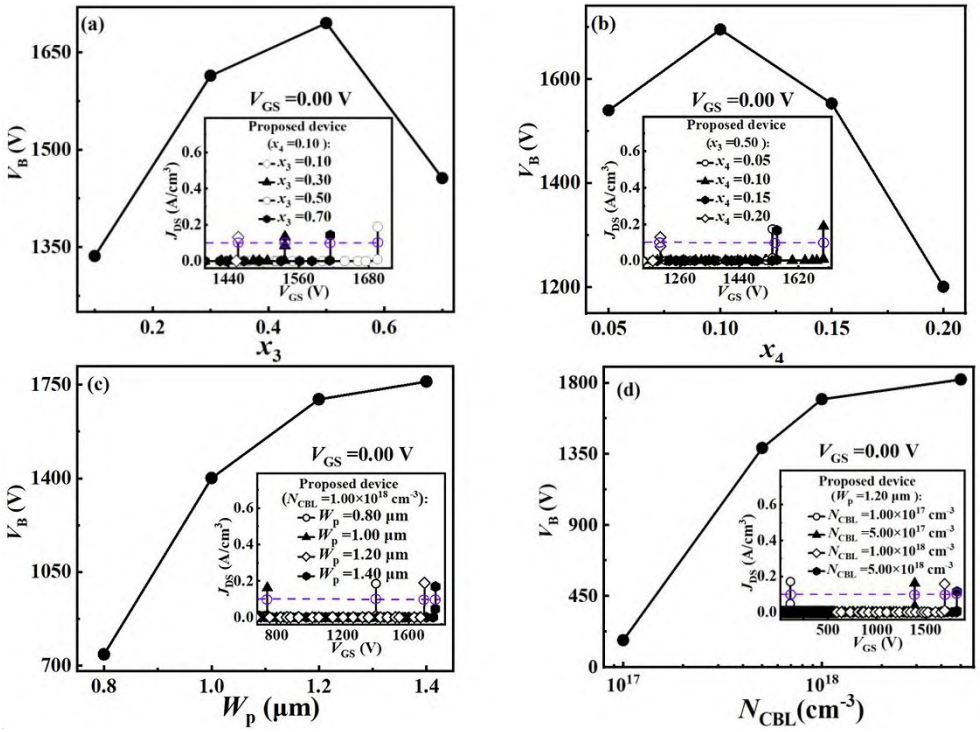


图 9 击穿电压(V_B)对(a)Al 组份(x_3)、(b)Al 组份(x_4)、(c)(p)AlGaN 柱宽度(W_p)和(d) CBL 掺杂浓度(N_{CBL})的依赖性。

Fig. 9 Influence from (a) Al composition (x_3) in (p_1) $Al_{x3}Ga_{1-x3}N$ pillar, (b) Al composition (x_4) in (p_2) $Al_{x4}Ga_{1-x4}N$ pillar, (c) width (W_p) of p-type AlGaN pillar and (d) doping concentration (N_{CBL}) of CBL on the breakdown voltage (V_B) of the proposed device.

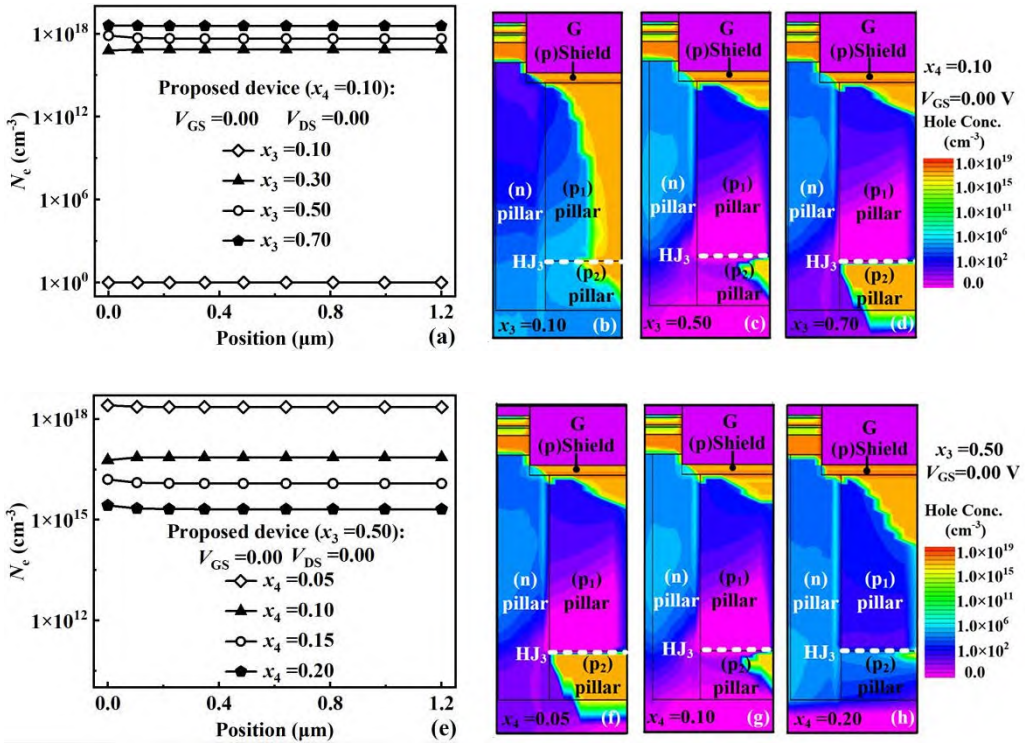


图 10　（a）Al 组份 x_3 对 HJ_3 处 2DEG 的影响，（b）、（c）、（d）分别为 $x_4=0.10$ 而 $x_3=0.10$、0.50、0.70 时叠层异质半超结附近的空穴浓度分布。（e）Al 组份 x_4 对 HJ_3 处 2DEG 的影响，（f）、（g）、（h）分别为 $x_3=0.50$ 而 $x_4=0.05$、0.10、0.20 时该半超结附近的空穴浓度分布。

Fig. 10 (a) Influence ofAl compositionx$_3$ on the 2DEG at HJ$_3$, (b), (c), (d) for the hole concentration distributionsnear the HSSJ in the proposed device atAl composition x$_4$ = 0.10 while x$_3$ = 0.10, 0.50 and 0.70 separately. (e) Effect of x$_4$ on the 2DEG at HJ$_3$, (f), (g), (h) for the hole concentration distributionsnear the HSSJ in the proposed device atx$_3$ = 0.50 whilex$_4$ = 0.05, 0.10 and 0.20 respectively.

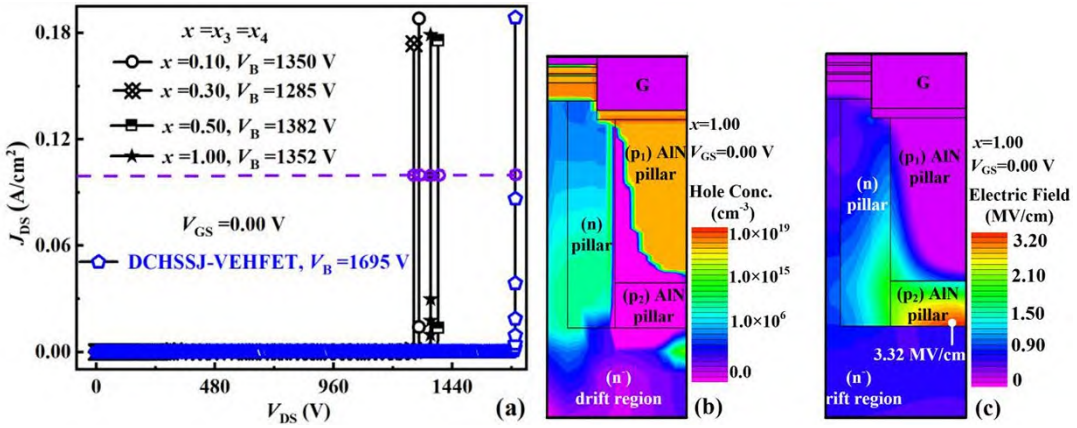


图 11　（a）击穿特性对 AlGaN 柱 Al 组份 x 的依赖性；（b）当 x = 1.00 时 HJ_3 结附近的空穴浓度分布及（c）电场强度分布。

Fig. 11 (a) Dependence of Al composition x on the breakdown characteristics of the device whenx = x$_3$ = x$_4$, (b) hole concentration distribution and (c) electric field near the HJ$_3$in the device at x = 1.00.

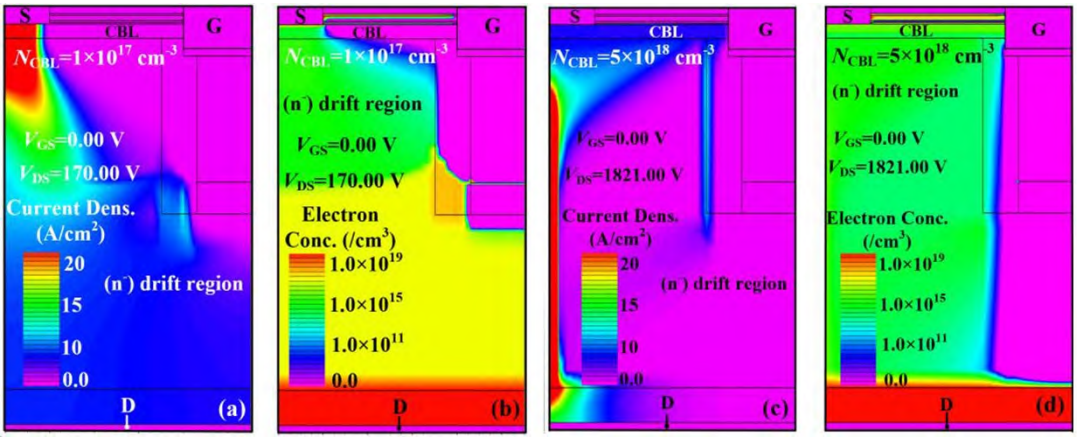
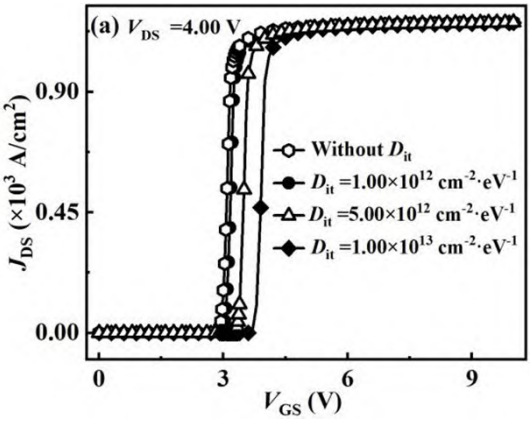


图 12 $N_{CBL}=1\times10^{17}cm^{-3}$时本器件的电流密度分布图(a)及电子浓度分布图(b);$N_{CBL}=5\times10^{18}cm^{-3}$时本器件的电流密度分布图(c)和电子浓度分布图(d)。

Fig. 12 (a) current density distribution and (b) electron concentration distribution of the device with$N_{CBL}=1\times10^{17}cm^{-3}$, (c) current density distribution and (d) electron concentration distribution of the device with$N_{CBL}=5\times10^{18}cm^{-3}$.

2.3 栅侧氧化物/半导体界面态密度的影响

垂直型 HFET 电学性能受栅侧氧化物/半导体界面质量的影响,已有实验测定,在 GaN/ HfO_2、AlGaN/ HfO_2异质结界面的半导体导带附近(E_C-E=2.50 eV)存在 1 ×10^{12} cm^{-2}·eV^{-1}数量级界面态密度(D_{it})[20]。考虑本器件栅侧氧化物/半导体界面不同 D_{it}的影响,模拟结果如图 13 所示。图 13 (a)反映的器件转移特性中 V_{th}随 D_{it}增大而升高,这是由于栅侧氧化物/半导体界面的缺陷将俘获通过界面沟道的反型载流子,存在 D_{it}时将需要更高的 V_{th}才能形成反型层沟道,这与文献[21]的结果吻合。图 13(b)展示的器件输出特性中 J_{DS}随着 D_{it}增大而减小,正是因为栅侧氧化物/半导体界面的缺陷俘获通过沟道的载流子所致,故而相同 V_{DS}下的 J_{DS}随着 D_{it}增大而下降。



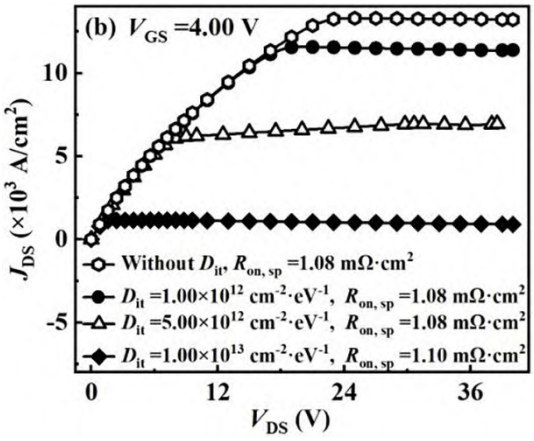


图 13 栅侧氧化物/半导体界面态密度(D_{it})对本器件的(a)转移特性和(b)输出特性的影响

Fig. 13 Influence from interfacial state density (D_{it}) in oxide/semiconductor hetero-junction on the (a) transfer and (b) output properties.

2.3 本器件与参考器件主要静态电学特性对比

如表 2 所示,相较于 SCHSSJ-HFET,本器件具有更低的 $R_{on,sp}$,更高的 V_B,功率品质因数(FOM_{BR})提升了 70.51%。相较于 DCSSJ-HFET,本器件具有更低的 $R_{on,sp}$,更高的 V_B,FOM_{BR}提升了 67.30%。结果表明:GaN/AlGaN 双异质结源极和(n)GaN/(p)AlGaN 叠层异质半超结可以优化 $R_{on,sp}$-V_B的折衷关系。Non-SJ HFET 采用非均匀掺杂全超结结构[10],V_B、$R_{on,sp}$较高而 V_{th}偏低。SJ-VFET 器件利

用 p-GaN 构成电流阻挡层[22],减少漂移区泄漏电流;在漂移区采用纵向交错 p、n 区全超结提升器件 V_B,受全超结掺杂浓度的限制,因而 $R_{on,sp}$ 较大。SP-VFET 器件采用 Al_2O_3 图形化衬底(SP)[23],降低(p)GaN 拐角附近的电场峰值,同时将电场转移至 SP 区域,提高 V_B,受漂移区尺寸和电子有效漂移面积的限制,FOM_{BR} 较低。

此外,模拟结果反映,GaN/AlGaN 双异质结源极和叠层异质半超结对器件寄生电容和通断过程的影响较小,限于篇幅,不在此处详细讨论。

表 2　本器件与参考器件主要静态电学性能的对比。

Table 2 Comparison of the main static electric performance of the proposed device and counterparts.

参数 / 器件	V_{th}(V)	V_B(V)	$R_{on,sp}$(mΩ·cm²)	FOM_{BR}(GW/cm²)	t_{dri}(μm)
DCHSSJ-VEHFET	2.92	1695	1.08	2.66	10.00
SCHSSJ-HFET	2.92	1518	1.48	1.56	10.00
DCSSJ-HFET	2.92	1406	1.24	1.59	10.00
Non-SJ HFET[10]	0.60	1800	1.78	1.82	10.00
SJ-VHFET[22]	0.95	2604	8.30	0.82	10.00
SP-VFET[23]	2.50	559	2.50	0.13	5.00

3　结论

构建了一种集成 GaN/AlGaN 双异质结源极、叠层异质半超结的增强型垂直 HFET,模拟其静态特性的结果表明,优化 Al 组份 x_1、x_2 的双异质结源极能够产生更多的 2DEG 而降低器件的 $R_{on,sp}$,但受缺陷和二维空穴气制约,源极异质结不宜过多。在漂移区嵌入(n)GaN/($p_{1(2)}$)$Al_{x3(x4)}Ga_{1-x3(x4)}N$/(n)GaN 叠层异质半超结,调节 Al 组份 x_3、x_4 可优化器件的半超结侧的载流子通道,降低 $R_{on,sp}$,改善漂移区的电场分布,提升 V_B,改善 V_B-$R_{on,sp}$ 的折衷关系,效果优于 Al 组份相同的(n)GaN/(p)AlGaN/(n)GaN 异质半超结器件。提高电流阻挡层掺杂浓度能增大 V_{th}、V_B;增加栅侧氧化物/半导体界面缺陷态浓度(D_{it})可提升 V_{th}、$R_{on,sp}$。本文可为设计高性能 HFET 提供新思路。

参考文献:

[1] Masahiro Ishida, Tetsuzo Ueda, Tsuyoshi Tanaka, et al. GaN on Si technologies for power switching devices [J]. IEEE transactions on electron devices, 2013, 60 (10): 3053-3059.

[2] Qi Zhou, Bowen Chen, Yang Jin, et al. High-performance enhancement-mode Al_2O_3/AlGaN/GaN-on-Si MISFETs with 626 MW/cm² figure of merit [J]. IEEE transactions on electron devices, 2015, 62 (3): 776-781.

[3] Ming Xiao, Jincheng Zhang, Xiaoling Duan, et al. High performance $Al_{0.10}Ga_{0.90}N$ channel HEMTs [J]. IEEE electron device letters, 2018, 39 (8): 1149-1151.

[4] Chengcai Wang, Mengyuan Hua, Junting Chen, et al. E-mode p-n junction/AlGaN/GaN (PNJ) HEMTs [J]. IEEE electron device letters, 2020, 41 (4): 545-548.

[5] Yaopeng Zhao, Chong Wang, Xuefeng Zhenget al. Effects of recess depths on performance of AlGaN/GaN power MIS-HEMTs on the Si substrates and threshold voltage model of different recess depths for the using HfO_2 gate insulator [J]. Solid-state electronics, 2020, 163 (9): 107649-1-36.

[6] Xiangdong Li, Niels Posthuma, Benoit Bakeroot, et al. Investigating the current collapse mechanisms of p-GaN gate HEMTs by different passivation dielectrics [J]. IEEE transactions on power electronics, 2020, 36 (5): 4927-4930.

[7] Xiaobo Liu, Li Zheng, Xinhong Cheng, et al. Graphene-induced positive shift of the flat band voltage in recessed gate AlGaN/GaN structures [J]. Applied physics letters, 2021, 118 (17): 173504-1-4.

[8] Lingyan Shen, Dongliang Zhang, Xinhong Cheng, et al. Performance improvement and current collapse suppression of Al_2O_3/AlGaN/GaN HEMTs achieved by fluorinated graphene passivation [J]. IEEE electron device letters, 2017, 38 (5): 596-599.

[9] Srabanti Chowdhury, Man Hoi Wong, Brian L. Swenson, et al. CAVET on bulk GaN substrates achieved with MBE-regrown AlGaN/GaN layers to suppress dispersion [J]. IEEE electron device letters, 2011, 33 (1): 41-43.

[10] Daisuke Shibata, Ryo Kajitani, Masahiro Ogawa, et al. 1.7 kV/1.0 mΩ · cm^2 normally-off vertical GaN transistor on GaN substrate with regrown p-GaN/AlGaN/GaN semipolar gate structure [C]. 2016 IEEE international electron devices meeting (IEDM). San Francisco, CA, USA, 2016, 10.1-10.4.

[11] Miao Zhang, Zhiyou Guo, Yong Huang, et al. Study of AlGaN/GaN vertical superjunction HEMT for improvement of breakdown voltage and specific on-resistance [J]. IEEE access, 2021, 9 (1): 9895-9902.

[12] Wei Mao, Hai-Yong Wang, Peng-Hao Shi, et al. Low specific on-resistance GaN-based vertical heterostructure field effect transistors with nonuniform doping superjunctions [J]. Chinese physics B, 2018, 27 (4): 047305-1-6.

[13] Travis J. Anderson, Marko J. Tadjer, Jennifer K. Hite, et al. Effect of reduced extended defect density in MOCVD grown AlGaN/GaN HEMTs on native GaN substrates [J]. IEEE electron device letters, 2015, 37 (1): 28-30.

[14] Shinji Yamad, Hideki Sakurai, Yamato Osada, et al. Formation of highly vertical trenches with rounded corners via inductively coupled plasma reactive ion etching for vertical GaN power devices [J]. Applied physics letters, 2021, 118 (10): 102101-1-5.

[15] Zhi Zheng, Huichan Seo, Liang Pang, et al. Nonalloyed ohmic contact of AlGaN/GaN HEMTs by selective area growth of single-crystal n^+-GaN using plasma assisted molecular beam epitaxy [J]. Physica status solidi (a), 2011, 208 (4): 951-954.

[16] Simon Kotzea, Wiebke Witte, Birte-Julia Godejohann, et al. Comparison of MOCVD and MBE regrowth for CAVET fabrication [J]. Electronics, 2019, 8 (4): 377-1-9.

[17] Dong Ji, Anchal Agarwal, Haoran Li, et al. 880 V/2.7mΩ · cm^2 MIS gate trench CAVET on bulk GaN substrates [J]. IEEE electron device letters, 2018, 39 (6): 863-865.

[18] Ogyun Seok, Woojin Ahn, Min-Koo Han, et al. High on/off current ratio AlGaN/GaN MOS-HEMTs employing RF-sputtered HfO_2 gate insulators [J]. Semiconductor science and technology, 2012, 28 (2): 025001-1-6.

[19] Hidetoshi Ishida, Daisuke Shibata, Hisayoshi Matsuo, et al. GaN-based natural super junction diodes with multi-channelstructures [C]. 2008 IEEE international electron devices meeting. San Francisco, CA, USA, 2008, 1-4.

[20] R. Stoklas, D. Gregusova, S. Hasenohrl, et al. Characterization of interface states in AlGaN/GaN metal-oxide-semiconductor heterostructure field-effect transistors with HfO_2 gate dielectric grown by atomic layer deposition [J]. Applied surface science, 2018, 461 (1): 255-259.

[21] Tian-Li Wu, Denis Marcon, Benoit Bakeroot, et al. Correlation of interface states/border traps and threshold voltage shift on AlGaN/GaN metal-insulator-semiconductor high-electron-mobility transistors [J]. Applied physics letters, 2015, 107 (9): 093507-1-4.

[22] Jiangfeng Du, Yong Liu, Jianghui Mo, et al. Design and simulation of a nanoscale GaN-based vertical HFET with pnp-superjunction buffer structure [J]. Nanoscience and nanotechnology letters, 2015, 7 (2): 100-104.

[23] Zeheng Wang, Zirui Wang, Zhenwei Zhang, et al. On the baliga's figure-of-merits (BFOM) enhancement of a novel GaN nano-pillar vertical field effect transistor (FET) with 2DEG channel and patterned substrate [J]. Nanoscale research letters, 2019, 14 (1): 1-10.