文章编号:1007 - 4252(2023)01 - 0001 - 012　　DOI:10.20027/j.gncq.2023.0007

晶圆级集成技术研究进展

赵国强[1,2],赵　毅[2,3]

(1. 中国电子科技南湖研究院,嘉兴 314001;2. 浙江大学信息与电子工程学院,杭州 310027;3. 华东师范大学集成电路科学与工程学院,上海 200241)

摘要:随着物联网时代的来临,传统的传感器芯片与存算芯片相分离的架构已难以满足实际场景的需求。3D 集成技术能够缩短传感器芯片与存算芯片间的物理距离,实现功能扩展,提升系统能效。晶圆级集成由于对准精度高和互连密度大,一直是学界和产业界的研究热点。文章对晶圆级集成技术中的两种主流工艺,包括硅通孔和混合键合工艺,进行了系统性介绍;并结合国内外多个研究机构的最新进展,对其发展方向进行了展望,以实现适用于感存算一体化芯片的晶圆级集成工艺。

关键词:晶圆级集成;3D 集成;硅通孔(TSV);混合键合(HB);感存算一体化

中图分类号:TN405　　**文献标志码**:A

Research progress of wafer-level integration technology

ZHAO Guo-qiang[1,2], ZHAO Yi[2,3]

(1. China Nanhu Academy of Electronics and Information Technology, Jiaxing 314001, China; 2. College of Information Science and Electronic Engineering, Zhejiang University, Hangzhou 310027, China; 3. School of Integrated Circuit Science and Engineering, East China Normal University, Shanghai 200241, China)

Abstract: With the advent of the Internet of Things era, the traditional sensor chip and memory chip separation architecture can no longer meet the needs of practical scenarios. 3D integration technology can shorten the physical distance between the sensor chip and the memory chip, realize the function expansion, and improve the energy efficiency of the system. Wafer-level integration has always been a research hotspot in academia and industry due to its high alignment accuracy and high interconnection density. This paper systematically introduces two mainstream processes in wafer-level integration technology, including through-silicon via and hybrid bonding processes. Combined with the latest progress of many research institutions at home and abroad, its development direction is prospected to realize the wafer-level integration process suitable for sensing-memory-computing integrated chips.

收稿日期:2022-12-12;　　**修订日期**:2023-02-09

基金项目:科技创新 2030-"新一代人工智能"重大项目(批准号:2020AAA0109000);浙江省"领雁"重点研发计划(批准号:2022C01098).

作者简介:赵国强(2000-),男,在读博士,主要研究方向为三维集成工艺(E-mail:guoqiangzhao2021@zju.edu.cn).

通信作者:赵　毅(1977-),男,博士,教授,主要从事先进集成电路技术研究(E-mail:yizhao@zju.edu.cn).

Key words：Wafer-level Integration；3D Integration；Through-silicon Via（TSV）；Hybrid Bonding（HB）；Sensing-memory-computing Integrated

0　引言

进入物联网时代，各种传感器终端的数量呈几何倍数增长，需要对海量的数据进行处理，来获取有用的信息。现有传感器一般将采集到的信号进行压缩编码后，传输到云端计算机，在云端解压后，基于部署在云端的模型实现信号的进一步处理，如目标识别、目标检测等。这种模式需要经过压缩、传输、解压缩、模型计算等多个步骤，会带来延时、隐私安全、功耗、成本等一系列问题，难以满足实际需求。将传感器芯片与存算一体化芯片进行三维集成，可以大大简化系统设计和信息处理过程，节省系统功耗，实现高性能感存算一体化芯片。

三维集成工艺的好坏会对整个集成单元的电学性能、热学性能和力学性能产生影响，直接关系到最终产品的成功与否。三维集成主要有晶圆级集成和芯片间互连两种技术路线，晶圆级集成由于其对准精度高且互连密度大，成为产业界和学界的研究热点。目前晶圆级三维集成的主流工艺主要有硅通孔（through-silicon via，TSV）和混合键合（hybrid bonding，HB）两种。

1　硅通孔工艺

TSV 是一种穿透硅基板或芯片的垂直互连结构，用来完成上下晶圆或芯片间的电学连接。TSV 技术依据通孔形成的顺序可以分为先通孔（via first）、中通孔（via middle）和后通孔（via last）三种工艺类型。图 1 为中通孔和后通孔的流程示意图[1]，主要包含以下几个步骤：通孔的形成、通孔的填充以及填充后的表面处理。TSV 作为一种 3D 集成技术，已广泛应用在图像传感器等领域中。

Sukegawa 等人[3]开发了一种堆叠背照式图像传感器（backside illumination-CMOS image sensor，BI-CIS），包括传统的背照式图像传感器技术和 65 nm的标准逻辑技术。新型的堆叠工艺将传统的支撑基板替换为逻辑基板，能够采用独立于 CIS 工艺的技术制作先进的逻辑电路。如图 2 所示，整个芯片由两部分组成，芯片的上半部分由传统的 90 nm的 1P4M BI-CIS 工艺形成；芯片的下半部分由 65 nm 的 1P7M 逻辑工艺形成。上部 CIS 芯片和下部逻辑芯片完成堆叠之后，在芯片的顶部制作彩色滤光片和微透镜，顶部和底部之间通过 TSV 实现电学连接。

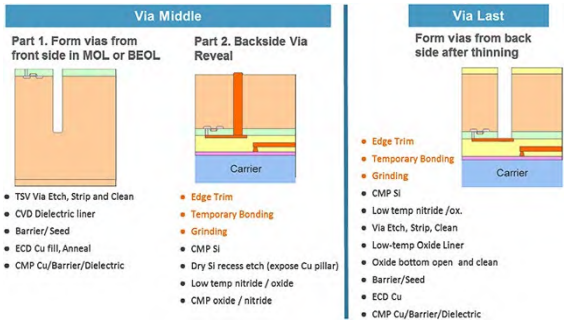


图 1　中通孔和后通孔 TSV 流程图[1]

Fig. 1 TSV flows for via-middle and via-last[1]

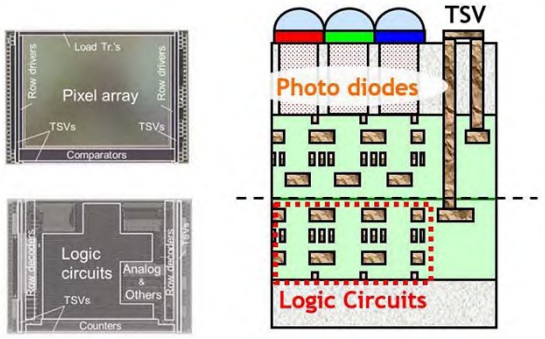


图 2　堆叠背照式图像传感器示意图[2]

Fig. 2 Schematic diagrams of Stacked Backside Illumination-CMOS Image Sensor（BI-CIS）[2]

Tsugawa 等人[4]在像素-逻辑两层堆叠背照式图像传感器的基础上，在中间层加入 DRAM 作为缓存，开发了一种集成像素晶圆、DRAM 晶圆和逻辑晶圆的晶圆级集成工艺，如图 3 和图 4 所示。在单独制作像素、DRAM、逻辑晶圆后，首先将 DRAM 晶圆倒置与逻辑晶圆面对面键合。接下来，将 DRAM 晶圆的 Si 基板减薄，并形成用于连接 DRAM 晶圆和逻辑晶圆的 TSV 布线。最后，将像素晶圆倒置并将其键合到 DRAM/逻辑堆叠晶圆上，将像素晶圆的背面减薄，形成 TSV。通过在像素晶圆逻辑晶圆之间堆叠 DRAM 晶圆，有助于减少 I/O 口数目，降低功耗，

并且实现对高速镜头的捕捉。

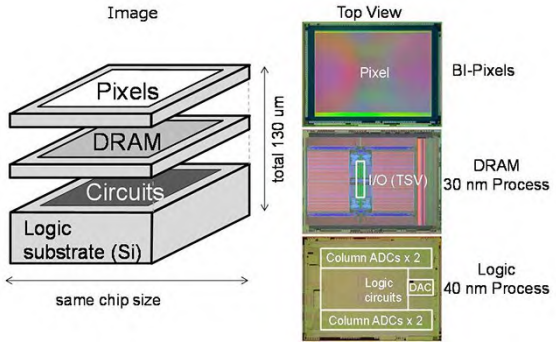


图 3 3 层堆叠 CIS 芯片示意图[4]

Fig. 3 Schematic diagram of 3-layer stacked CIS chip[4]

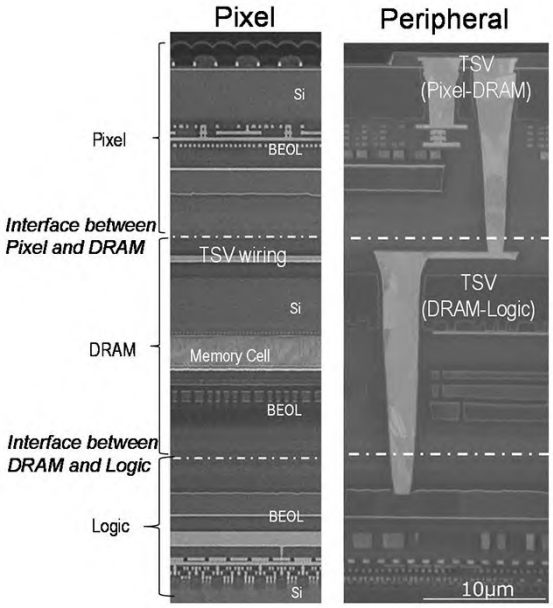


图 4 3 层堆叠 CIS 芯片横截面图[4]

Fig. 4 Cross section of 3-layer stacked CIS chip[4]

2 混合键合工艺

相较于硅通孔工艺,混合键合工艺更为简单,混合键合可以同时实现两个基板间的物理连接和电气连接,并且能够以密度更高的垂直互连实现更小的尺寸。图 5 为混合键合工艺的流程示意图,其关键步骤包括铜通孔的制作、表面平坦化、表面激活、对准以及键合后退火。首先,通过深反应离子刻蚀来形成通孔,利用电镀方式填充铜。再通过化学机械研磨进行表面平坦化,表面平整度和铜通孔的凹陷度会对最终键合界面质量产生重要影响。接下来利用等离子体对表面进行激活,为预键合做准备。上下晶圆对准,完成预键合,经过退火操作,来进一步促进铜通孔键合面的扩散,完成良好的电学连接。铜-铜混合键合被认为是用于 20 μm 间距以下最有前途的 3D 集成解决方案之一[6],已成为 3D 集成的主流技术之一。

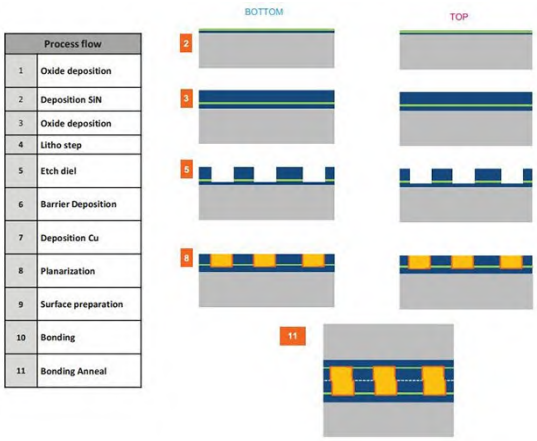


图 5 混合键合工艺流程示意图[5]

Fig. 5 Schematic process flow of hybrid bonding[5]

Kagawa 等人[7-8]利用混合键合工艺成功制造了 2250 万像素、1/2.6 尺寸的背照式图像传感器,其中混合键合间距为 4 μm。如图 6 所示,与传统采用硅通孔(TSV)工艺进行层间连接的堆叠背照式传感器不同,铜-铜混合键合能够实现细间距和大规模连接,可以提高电路设计灵活性,并进一步减小芯片尺寸。由图 7 可以观察到,退火后的上下侧铜通孔连接牢固,键合界面无空洞,表现出良好的电学互连和可靠性。

之后,Kagawa 等人[2,9]通过进一步优化工艺,提高晶圆对准精度,成功在 300 mm 晶圆上将混合键合间距缩小至 3 μm,并且使键合对达到 300 万。其中,铜通孔的尺寸为 1.5 μm,通孔间空白区域尺寸为 1.5 μm,新的键合工艺成功将对准误差控制在 0.5 μm 以内,保证了键合连接的稳定性。如图 8 所示,每对 Cu-Cu 键合牢固地连接上芯片和下芯片,键合界面没有任何缺陷或空隙。

Sakakibara 等人[10-11]通过铜-铜混合键合工艺,实现 CIS 芯片与逻辑芯片的像素级连接,如图 9 所示。CIS 芯片采用 90 nm 的 1P4M 工艺制造,像素间距为 6.9 μm;逻辑芯片采用相对先进的 65 nm 的 1P7M 工艺制造。通过 Cu-Cu 连接直接将 ADC 单

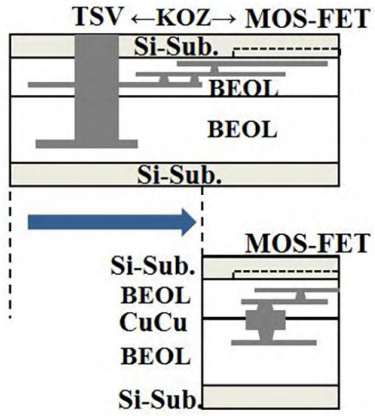


图 6　TSV 和混合键合的键合基板示意图[7]

Fig. 6 Schematic diagrams of bonded substrates with TSV and with hybrid bonding[7]

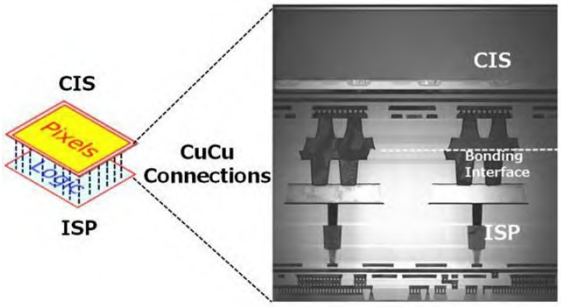


图 7　具有 Cu-Cu 混合键合的新型堆叠 BI-CIS 的横截面图[8]

Fig. 7 Cross-sectional view of new stacked BI-CIS with Cu-Cu hybrid bonding[8]

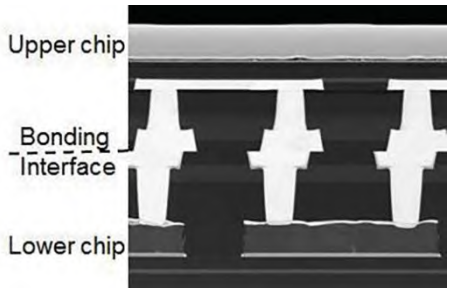


图 8　3μm 间距铜-铜混合键合的横截面图[9]

Fig. 8 Cross-sectional view of Cu-Cu hybrid bondingwith 3 μm pitch[9]

元集成在像素下方,能够将所有像素值同时读出,进行数据的并行处理,使得最大拍摄帧率能够达到660fps。

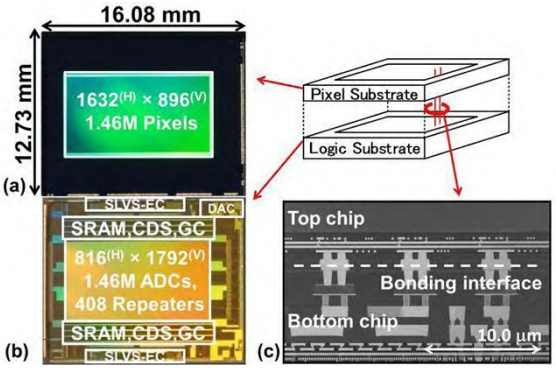


图 9　(a)像素芯片;(b)逻辑芯片;(c)铜-铜键合的横截面[10]

Fig. 9 (a) pixel chip; (b) logic chip; (c) cross section of Cu-Cu bonding[10]

Tanida 等人[12]成功展示了采用全混合 Cu-Cu 直接键合工艺制造的三层堆叠背照式图像传感器(BSI),与只采用硅通孔(TSV)连接的三层堆叠背照式图像传感器相比,混合键合连接能够实现更高性能和更多功能。图 10 为其 3 层堆叠工艺流程示意图。首先,利用混合键合将中间层键合到顶层。在中间层 Si 减薄之后,制作 Cu-TSV 和背面 BEOL,作为中间层正面和背面之间的电学通路。再进行第二次混合键合,利用 Cu-Cu 键合将中间层的背面与底层连接。最后,减薄顶层 Si 并形成贯穿顶层 Si 的 Al-TSV。研究团队还发现键合晶圆表面上的等离子体活化条件是提高较小间距的 Cu-Cu 键合成品率的关键因素,通过优化等离子体活化气体比例,成功实现了间距为 1.35 μm 的混合键合,图 11 为键合横截面的 TEM 图。

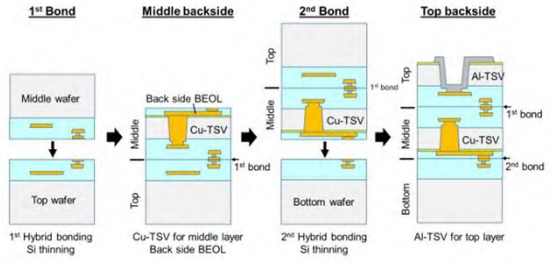


图 10　3 层堆叠工艺流程示意图[12]

Fig. 10 Schematic of three layer stacking process flow[12]

STMicroelectronics 和 CEA-LETI 机构的研究人员合作开发了用于 3D 堆叠 CMOS 图像传感器的 200 mm[5]和 300 mm[14]晶圆级混合键合工艺。在

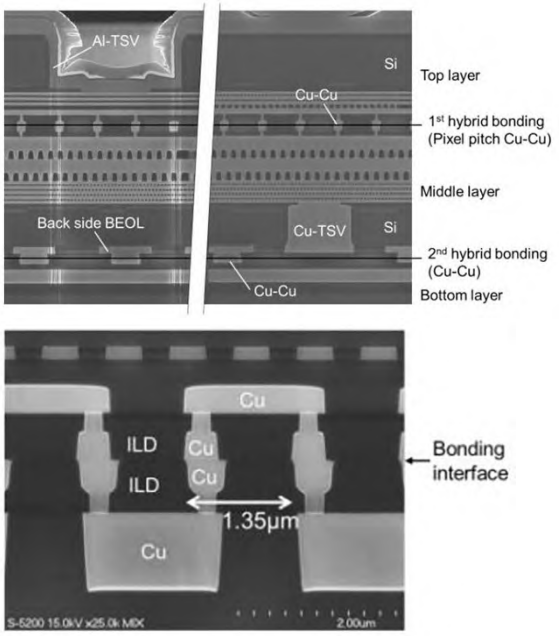


图 11 3 层堆叠的横截面(上)/1.35 μm 间距混合键合界面的横截面(下)[12]

Fig. 11 Cross section of three layer stacking (top) / Cross section of 1.35 μm pitch hybrid bonding interface (down)[12]

200 mm 晶圆级混合键合工艺中[5],研究人员通过优化晶圆键合对准系统、偏移补偿程序、测量系统、优对准键,以及使用反馈回路来提升晶圆对准精度。通过进一步优化工艺和设备,成功将晶圆级混合键合扩展到 300 mm 晶圆上[14],并且键合通孔间距达到 6 μm,可完全符合 BSI 进行 3D 堆叠的要求。更小键合通孔间距能够实现更高密度互连,但是较小间距互连可能会危及电气和可靠性性能。研究团队研究了键合通孔间距收缩对互连稳健性的影响[13],从工艺、器件性能和鲁棒性的角度出发,分别研究了 8.8 μm 到 1.44 μm 键合间距,对 3D 堆叠背照式 CMOS 图像传感器性能的影响,如图 12 和图 13所示。

国内图像传感器厂商豪威科技[15]也在进行堆叠式图像传感器研究。图 14 是一款双通道转换增益的堆叠式图像传感器示意图,其中像素单元的部分器件被布置到逻辑层,以提高传感器填充系数,增加功能。传感器晶圆和逻辑晶圆单独制造,并通过间距为 1.5 μm 的混合键合通孔进行像素级连接,像素级连接使得数据能够从传感器层上的像素阵列快速传输到逻辑层上的器件阵列。

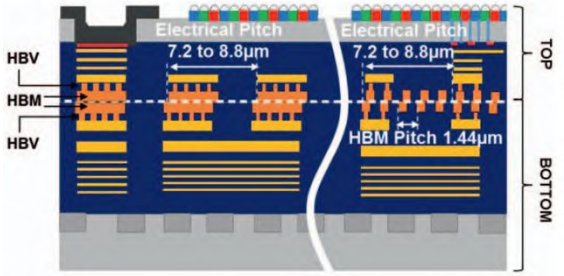
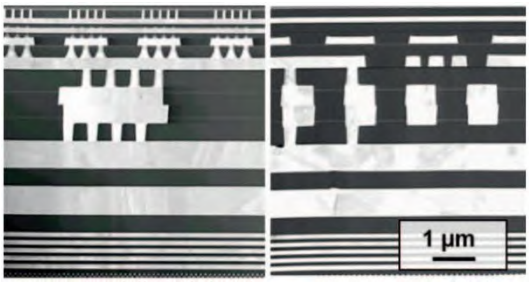


图 12 堆叠在先进 CMOS(底部)上的图像传感器(顶部)的横截面示意图[13]

Fig. 12 Schematic cross section of the image sensor (top) stacked on advanced CMOS (bottom)[13]



(a) (b)

图 13 间距为 8.8 μm(a)和 1.44 μm(b)的 3D 堆叠图像传感器的 TEM 横截面[13]

Fig. 13 TEM cross section of 3D stacked image sensor with 8.8 μm (a) and 1.44μm-pitch (b)[13]

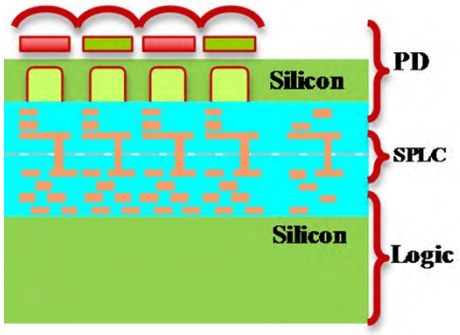


图 14 传感器和逻辑层之间的堆叠像素级连接示意图[15]

Fig. 14 Schematic showing the stacked pixel level connection between bonded sensor and logic layers[15]

可以看到,目前采用混合键合工艺的主流产品是堆叠式图像传感器,各大研究机构也在推动混合键合技术不断完善,以使其成为一项通用的三维集成技术,能够应用在其他领域及产品。三星 Sam-

sung 通过将 TSV 工艺和混合键合工艺结合，推出X-Cube[16]工艺，应用于多枚芯片堆叠封装中。与采用多个芯片平面封装的方式相比，X-Cube 3D 封装使整个芯片结构更加紧凑，能够进行更高效和简单的I/O 设计，并且由于更短的互连会带来更低的电阻。Samsung 研究人员通过优化工艺参数，利用面对面(F2F)和背对面(B2F)两种方式，实现了多个晶圆的堆叠集成。以图 15 中 3 片晶圆堆叠为例，每片晶圆首先通过大马士革铜线后端工艺来制作混合键合所需的铜通孔，为了构造用于混合键合的铜通孔，每片晶圆应该至少包含两层金属层。中部和底部晶圆采用面对面的方式键合在一起，紧接着对中部晶圆的背部进行减薄，加工形成 TSV 以及用于与顶部晶圆进行混合键合的铜通孔。顶部晶圆以背对面的方式与中部/底部堆叠晶圆进行混合键合，对顶部晶圆背部进行减薄并制作 TSV 用于进行电学测试。

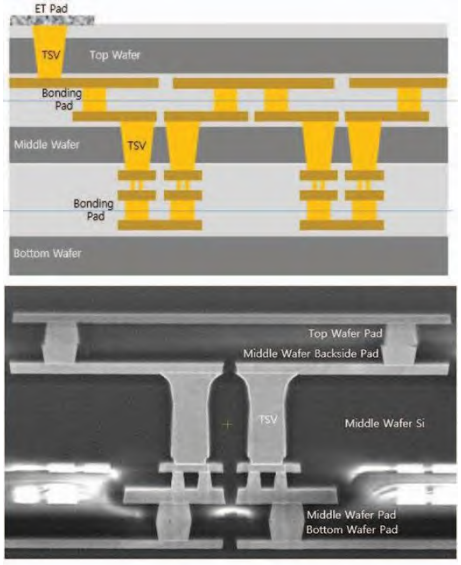


图 15　具有 Cu pad 和 TSV 的 3 层堆叠结构示意图(上)/3 层堆叠结构的底部-中间、中间-顶部晶圆的 Cu-Cu 键合和 TSV 的 FIB x 截面图(下)[16]

Fig. 15 3 stack structure with Cu bonding pad and TSV(top)/FIB x-section image for 3 stack structure with Cu-Cu bonding of bottom/middle, middle/top wafer and TSV(bottom)[16]

台积电 TSMC 发布名为 SoIC[17-18]的三维集成工艺，是业界第一款逻辑-逻辑、存储器-逻辑的 3D 集成工艺。SoIC 技术能够将不同工艺节点、材料、功能和尺寸的芯片进行堆叠，设计和集成更加灵活，使系统能够以更低的成本和更好的性能进行扩展。如图 16 所示，SoIC 不再使用凸点(bump)进行芯片间的连接，转为表面更为平整的混合键合进行连接，因此无须再进行层间缝隙填充。与传统采用 μ-bump的 3D 集成方式相比，SoIC 能够提供更高的 I/O键合密度，键合间距至少小 4 倍，键合密度至少高 16 倍。并且实现了更低的功耗、更低的 RC 延迟、IR 压降和更低的热阻。

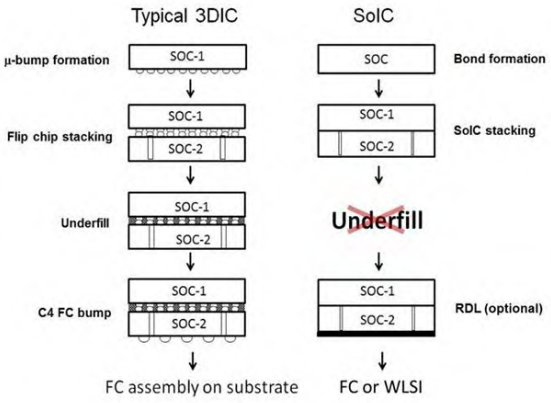


图 16　典型 3DIC 封装与 SoIC 封装集成流程比较[17]

Fig. 16 Comparison of integration flow between typical 3DIC package and SoIC package[17]

Intel 公司[19-20]也在基于混合键合工艺开发自家的 3D 集成技术。Intel 研究了混合键合工艺对顶部金属层无源器件和功率传输的影响，提出最小化影响的具体设计。并且通过优化相关工艺参数，来满足混合键合要求。例如，在制作键合金属层时，避免引起过度的晶片翘曲；在进行化学机械抛光时，实现光滑平坦的表面电介质和凹陷受控的键合通孔；在键合时，保持极其干净的键合表面、高精度对准和最大化测试覆盖率。图 17 是测试芯片上的一个键合菊花链的横截面，显示出良好的对准精度和键合界面，可以看到键合界面金属颗粒相互扩散，实现金属到金属的键合。

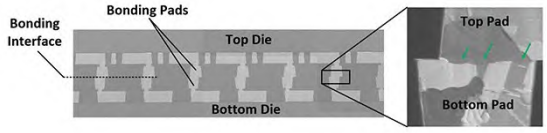


图 17　组装好的无源测试芯片上一个菊花链的横截面[19]

Fig. 17 Cross section of one of the daisy chains on the assembled passive test chip[19]

长江存储 YMTC 最先在 3D NAND Flash 制造中引入混合键合工艺，并将其命名为 Xtacking[21,22]。3D NAND Flash 由存储单元和外围电路组成，在传统工艺中，外围电路和存储单元并排放置，共享有限的芯片面积。但是随着 3D NAND 存储单元层数的增加，外围电路占整个芯片尺寸的百分比将增加，外围电路占据的面积难以忽视。Xtacking 工艺通过存储单元和外围电路分别制造在两片晶圆上，利用混合键合工艺进行层间连接。分离开的存储单元和外围电路可以独立设计生产，极大提升了工艺灵活性，并缩短了研究周期。图 18 是 Xtacking 键合工艺的简要描述，两片晶圆在准备结束之后进行对准，退火，形成数百万对具有小间距的金属通孔，完成电学连接和物理支撑。研究团队从测试结构和产品两个层面研究了 Xtacking 工艺键合界面的可靠性。在测试结构级可靠性测试中，Xtacking 键合层在超长时间热或湿度应力后表现出非常稳定的金属电阻、介电泄漏、键合强度和介电击穿电压。在产品级可靠性测试中，封装的 3D NAND 产品表现出类似的优异可靠性，充分证明了混合键合工艺的可行性。YMTC 不断对 Xtacking 工艺进行改进，到目前为止，已推出 Xtacking 2.0 和 Xtacking 3.0 版本，并已有相关产品面世。

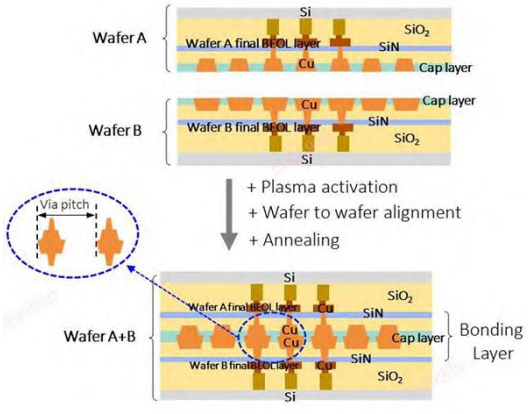


图 18 Xtacking™键合工艺示意图[21]

Fig. 18 Schematic ofXtacking™ bonding process[21]

阿里巴巴达摩院[23]提出针对于人工智能应用的高密度和高能效的近内存计算解决方案，其中利用混合键合工艺来连接逻辑芯片和 DRAM 芯片，如图 19 所示。晶圆级混合键合技术能够实现高带宽集成，实验数据表明，其能效比 HBM 或 DDR SDRAM 等片外存储器解决方案高出 200 倍，比最先进的近内存计算解决方案高出至少 2 倍。DRAM 芯片和逻辑芯片分别基于 25 nm 和 55 nm 工艺制造，通过间距为 3 μm 的铜通孔连接在一起，铜通孔为两者间的电学通道。

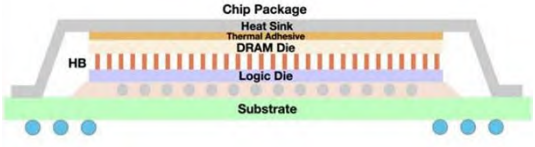


图 19 逻辑芯片和 DRAM 芯片在芯片封装中混合键合的截面图[23]

Fig. 19 cross-section illustration of the logic die and DRAM die bonded by hybrid bonding in a chip package[23]

比利时微电子研究中心 IMEC[24]基于标准的 65 nm 工艺技术制造了键合通孔间距为 2.5 μm 的 300 mm 混合键合晶圆片，并且对键合晶圆的电学、热学、力学和可靠性性能进行评估，如图 20 所示。研究团队通过晶圆片上的回环结构来评估混合键合通孔的电学性能，并证明了当测试样品在 4 点弯曲设置中经受 1000 次机械循环时，混合键合界面的质量不受影响。以及通过在测试芯片的一个单元中产生热源，并利用集成温度传感器测量两个晶圆片的热响应来评估堆叠晶圆的热性能，结果表明，温度传感器和热源相对于外部热边界条件的位置在分析实验结果时起着重要作用。

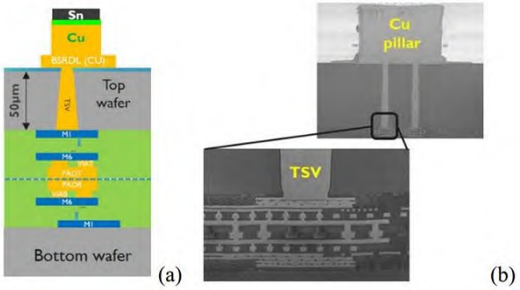


图 20 (a)混合堆叠横截面示意图；(b) TEM 图像[24]

Fig. 20 (a) Hybrid stackschematic cross section; (b) TEM image[24]

新加坡 IME 机构基于有限元分析方法对混合键合机制进行了一系列仿真研究[25-27]，图 21 为键合面有限元分析模型。通过对晶圆级混合键合工艺的多个流程进行三维建模，针对各种设计和工艺条

件,例如晶圆片翘曲度、铜通孔凹陷值、退火温度和退火时间、硅通孔(TSV)深度和铜通孔间距等,从热-力-电的角度模拟混合键合技术的键合过程,详细研究影响键合完整性的关键因素,并提供可能的改进方法。对混合键合工艺进行数值研究可以为实际设计和工艺提供指南和参考,有助于优化设计和工艺参数,缩短工艺开发周期和降低研发成本。

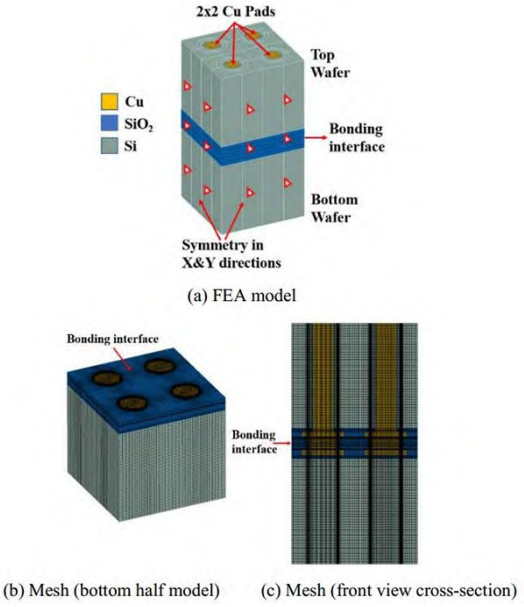


图 21　四分之一对称有限元分析模型[25]

Fig. 21 Quarterly symmetric finite element analysis (FEA) model[25]

海力士半导体 SK Semiconductor[28]、格罗方德 GlobalFoundries[29]、富士通 Fujitsu[30,31] 以及三菱 Mitsubishi[32] 也对混合键合工艺进行了深入研究。

3　结论

本文对晶圆级集成技术的两种主流工艺——TSV 工艺和混合键合工艺进行了系统性的介绍,综合多个研究机构的最新技术成果,对其进行了进一步详细说明。

混合键合由于其工艺较为简单,集成密度更高,能够同时实现电学连接和物理支撑,是接下来研究和发展的重点。在将混合键合工艺应用于感存算一体化芯片之前,仍有大量研究工作需要进行,包括优化设计和工艺参数,提高晶圆对准精度,实现低温退火以及降低成本等。面向感存算一体化芯片的晶圆级集成工艺的成功开发,将有力推动感存算一体化技术的进步和实际应用,为我国先进半导体工艺技术的自主自强做出贡献。

参考文献:

[1] Kumar N, Ramaswami S, Dukovic J, et al. Robust TSV via-middle and via-reveal process integration accomplished through characterization and management of sources of variation[C]. 2012 IEEE 62nd Electronic Components and Technology Conference, 2012.

[2] Kagawa Y, Iwamoto H. 3D Integration Technologies for the Stacked CMOS Image Sensors[C]. 2019 International 3D Systems Integration Conference (3DIC), 2019: 1-4.

[3] Sukegawa S, Umebayashi T, Nakajima T, et al. A 1/4-inch 8Mpixel back-illuminated stacked CMOS image sensor[C]. 2013 IEEE International Solid-State Circuits Conference Digest of Technical Papers, 2013.

[4] Tsugawa H, Takahashi H, Nakamura R, et al. Pixel/DRAM/logic 3-layer stacked CMOS image sensor technology[C]. 2017 IEEE International Electron Devices Meeting (IEDM), 2017.

[5] Rebhan B, Bernauer M, Wagenleitner T, et al. 200 nm Wafer-to-wafer overlay accuracy in wafer level Cu/SiO2 hybrid bonding for BSI CIS[C]. 2015 IEEE 17th Electronics Packaging and Technology Conference (EPTC), 2015.

[6] Xie L, Wickramanayaka S, Chong S C, et al. 6um Pitch High Density Cu-Cu Bonding for 3D IC Stacking[C]. 2016 IEEE 66th Electronic Components and Technology Conference (ECTC), 2016.

[7] Kagawa Y, Fujii N, Aoyagi K, et al. Novel stacked CMOS image sensor with advanced Cu2Cu hybrid bonding[C]. 2016 IEEE International Electron Devices Meeting (IEDM), 2016: 8.4.1-8.4.4.

[8] Kagawa Y, Fujii N, Aoyagi K, et al. An advanced CuCu hybrid bonding for novel stacked CMOS image sensor[C]. 2018 IEEE 2nd Electron Devices Technology and Manufacturing Conference (EDTM), 2018: 65-67.

[9] Kagawa Y, Hida S, Kobayashi Y, et al. The scaling of Cu-Cu hybrid bonding for high density 3D chip stacking[C]. 2019 Electron Devices Technology and Manufacturing Conference (EDTM), 2019: 297-299.

[10] Sakakibara M, Ogawa K, Sakai S, et al. A 6.9-μm pixel-pitch back-illuminated global shutter CMOS image sensor with pixel-parallel 14-bit subthreshold ADC[J]. IEEE Journal of Solid-State Circuits, 2018, 53(11): 3017-3025.

[11] Sakakibara M, Ogawa K, Sakai S, et al. A back-illuminated global-shutter CMOS image sensor with pixel-parallel 14b subthreshold ADC[C]. 2018 IEEE International Solid - State Circuits Conference - (ISSCC), 2018: 80-82.

[12] Tanida K, Suzuki S,Seo T, et al. Pixel pitch hybrid bonding and three layer stacking technology for BSI image sensor[C]. 2022 IEEE International Interconnect Technology Conference (IITC), 2022.

[13] Jourdon J, Lhostis S, Moreau S, et al. Hybrid bonding for 3D stacked image sensors: impact of pitch shrinkage on interconnect robustness[C]. 2018 IEEE International Electron Devices Meeting (IEDM), 2018.

[14] Lhostis S, Farcy A, Deloffre E, et al. Reliable 300 mm wafer level hybrid bonding for 3D stacked CMOS image sensors[C]. 2016 IEEE 66th Electronic Components and Technology Conference (ECTC), 2016.

[15] Venezia V C,Hsiung A C W, Ai K, et al. 1.5μm dual conversion gain, backside illuminated image sensor using stacked pixel level connections with 13ke-full-well capacitance and 0.8e-noise[C]. 2018 IEEE International Electron Devices Meeting (IEDM), 2018: 10.1.1-10.1.4.

[16] Kim T, Cho S, Hwang S, et al. Multi-stack wafer bonding demonstration utilizing Cu to Cu hybrid bonding and TSV enabling diverse 3D integration[C]. 2021 IEEE 71st Electronic Components and Technology Conference (ECTC), 2021.

[17] Chen M F, Chen F C,Chiou W C, et al. System on integrated chips (SoIC(TM) for 3D heterogeneous integration [C]. 2019 IEEE 69th Electronic Components and Technology Conference (ECTC), 2019.

[18] Chen M F, Lin C S, Liao E B, et al. SoIC for low-temperature, multi-layer 3D memory integration[C]. 2020 IEEE 70th Electronic Components and Technology Conference (ECTC), 2020.

[19] Elsherbini A, Jun K, Vreeland R, et al. Enabling hybrid bonding on intel process[C]. 2021 IEEE International Electron Devices Meeting (IEDM), 2021: 34.3.1-34.3.4.

[20] Elsherbini A, Liff S, Swan J, et al. Hybrid bonding interconnect for advanced heterogeneously integrated processors [C]. 2021 IEEE 71st Electronic Components and Technology Conference (ECTC), 2021.

[21] Ouyang Y, Yang S, Yin D, et al. Excellent reliability of xtacking™ bonding interface[C]. 2021 IEEE International Reliability Physics Symposium (IRPS), 2021: 1-6.

[22] Huo Z, Cheng W, Yang S. Unleash scaling potential of 3D NAND with innovative Xtacking® Architecture[C]. 2022 IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits), 2022.

[23] Niu D, Li S, Wang Y, et al. 184QPS/W 64Mb/mm^2 3D Logic-to-DRAM hybrid bonding with process-near-memory engine for recommendation system[C]. 2022 IEEE International Solid - State Circuits Conference (ISSCC), 2022.

[24] Cherman V, Van Huylenbroeck S, Lofrano M, et al. Thermal, mechanical and reliability assessment of hybrid bonded wafers, bonded at 2.5μm pitch[C]. 2020 IEEE 70th Electronic Components and Technology Conference (ECTC), 2020.

[25] Ji L, Che F X, Ji H M, et al. Bonding integrity enhancement in wafer to wafer fine pitch hybrid bonding by advanced numerical modelling[C]. 2020 IEEE 70th Electronic Components and Technology Conference (ECTC), 2020.

[26] Ji L, Che F X, Ji H M, et al. Modelling and characterization on wafer to wafer hybrid bonding technology for 3D IC packaging[C]. 2019 IEEE 21st Electronics Packaging Technology Conference (EPTC), 2019.

[27] Ji L, Che F X, Ji H M, et al. Wafer-to-wafer hybrid bonding development by advanced finite element modeling for 3-D IC packages[J]. IEEE Transactions on Components, Packaging and Manufacturing Technology, 2020, 10(12): 2106-2117.

[28] Park J, Lee B, Lee H, et al. Wafer to wafer hybrid bonding for DRAM applications[C]. 2022 IEEE 72nd Electronic Components and Technology Conference (ECTC), 2022.

[29] Fisher D W, Knickerbocker S, Smith D, et al. Face to face hybrid wafer bonding for fine pitch applications[C]. 2020 IEEE 70th Electronic Components and Technology Conference (ECTC), 2020.

[30] He R, Fujino M, Akaike M, et al. Cu/adhesive hybrid bonding at 180 ℃ in H-containing HCOOH vapor Ambient for 2.5D/3D Integration[C]. 2017 IEEE 67th Electronic Components and Technology Conference (ECTC), 2017.

[31] Sakai T,Imaizumi N, Sakuyama S. Hybrid bonding technology with Cu-Cu/adhesives for high density 2.5D/3D integration[C]. 2016 Pan Pacific Microelectronics Symposium (Pan Pacific), 2016.

[32] Utsumi J, Ide K, Ichiyanagi Y. Cu/SiO_2 hybrid bonding

obtained by surface - activated bonding method at room temperature using Si ultrathin films[J]. Micro and Nano Engineering, 2019, 2: 1-6.