文章编号:1007 - 4252(2022)05 - 0005 - 453　　DOI:10.20027/j.gncq.2022.0051

一种低功耗高可靠性的浮栅型分栅闪存器件

李冰寒*,于　涛
(上海华虹宏力半导体制造有限公司,上海 201203)

摘要:本文介绍了一种新型的低功耗、高可靠性的浮栅型分栅闪存器件,并对该闪存器件的制备工艺、耐久性、数据保持、编程串扰等特性进行了研究。结果显示该闪存器件具有优异的耐久性、数据保持、抗编程串扰特性,在工业控制、物联网、汽车电子等要求高可靠性、低功耗的应用领域,具有良好的市场前景。

关键词:分栅;闪存;低功耗;可靠性
中图分类号:TN389　　**文献标志码**:A

A Low Power Consumption and Highly Reliable Floating Gate Split-Gate Flash Memory Cell

LI Bing-han*, YU Tao
(Shanghai Huahong Hongli Semiconductor Manufacturing Co., Ltd, Shanghai 201203, China)

Abstract: A low power consumption and highly reliable floating gate split-gate flash memory cell is introduced. Its fabrication process, endurance, data retention, program disturb and other characteristics are studied. The results show that the flash memory has excellent endurance, data retention, anti-program-disturb characteristics, and has good market prospects in industrial control system, Internet of Things, automotive electronics and other applications with requirement of high reliability and low power consumption.

Key words: Split-gate; Flash Memory; Low Power; High Reliability

0　引言

闪存器件作为非挥发性存储器件,具有存储密度高、电可擦除可编程等特点,被广泛应用于消费电子、服务器、工业电子等诸多领域。根据闪存结构、阵列形式、存储介质等不同,闪存器件有多种分类形式[1-8]。例如根据闪存的器件结构,可分为叠栅(Stacked Gate)和分栅(Split-Gate)闪存;根据闪存阵列的组合方式,可分为 NAND(与非)型闪存和 NOR(或非)型闪存;根据闪存中存储电荷的介质,可分为浮栅闪存(Floating Gate Flash)和电荷俘获闪存(Charge Trap Flash, CTF)。

其中分栅闪存具有编程效率高、无“过擦除效应”等优点,被广泛应用于独立 NOR 闪存以及嵌入式闪存中。同时浮栅闪存因其优异的数据保持能力

收稿日期:2022-07-18;　**修订日期**:2022-10-10
通信作者:李冰寒, 男, 博士,主要研究方向为集成电路制造(E-mail:gordon.li@hhgrace.com).

和良好的擦写能力,目前在汽车电子、工业控制等高可靠性应用领域被广泛采用。

本文研究了一种新型的浮栅型分栅闪存器件,该器件具有擦写性能优良、读操作电压低,进而静态和动态功耗低以及可靠性高等特点,非常适用于汽车电子、工业控制、物联网等要求高可靠性、低功耗的应用领域。

1 闪存器件结构分析

图 1 (a)是本文提出的新闪存器件结构图。为作对比,图 1(b)给出了美国微芯科技公司子公司 Silicon Storage Technology (SST)的自对准分栅闪存器件,该闪存器件因其较小的单元面积、良好的可靠性,在业内广受欢迎,被广泛应用于汽车电子、工控 MCU、智能电表等领域。表 1 还列出了两种闪存器件的操作条件。

与图 1(b)所示的自对准闪存器件相比,图 1(a)新结构的闪存器件具有专门的擦除栅(erase gate),位于源线(source line)上方,取代字线的擦除功能,因此字线不需再承受高压,字线的栅氧化层厚度也可被大幅降低。这带来以下一系列优点:

1)栅氧化层减薄可使字线长度大幅度缩小,有助于减小闪存单元面积;

2)栅氧化层减薄和字线长度缩小,可使沟道电流增加,增大闪存单元的读取窗口;

3)栅氧化层减薄,使读操作时字线电压($V_{\mathrm{wl\ read}}$)可降低至 1.5 V 甚至更低,因此对于当前绝大多数应用场景,读操作时不再需要提供专门的电荷泵,减小了闪存 IP 的面积,也有助于降低闪存 IP 的动态和静态功耗;

4)栅氧化层减薄,使字线对沟道控制能力加强,沟道漏电减小,闪存单元的编程抗串扰能力增加,可靠性与良率更加稳定;

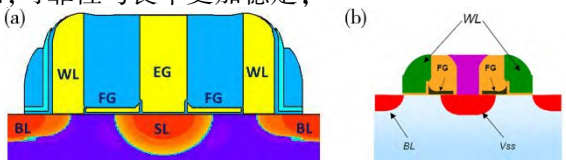


图 1 两种闪存结构示意图 (a) 本文提出的新闪存器件结构图;(b) 自对准分栅闪存器件

Fig. 1 Schematic diagram of two flash memory structures. (a) the structure diagram of a new flash device is presented in this paper; (b) self-aligning split-gate flash memory device

5)擦写过程中字线不再承受高压,耐久性更强。

表 1 两种闪存器件的操作条件

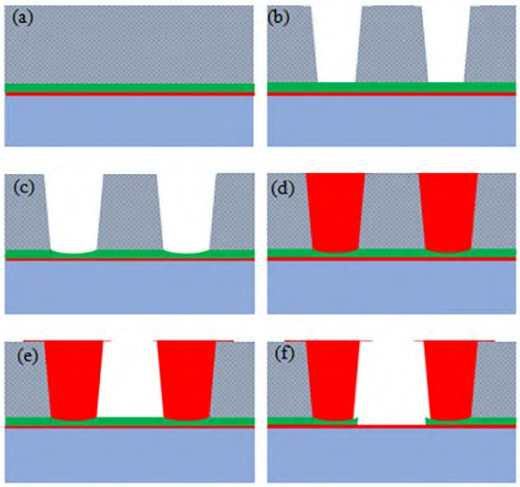
Table 1 Operating conditions of two flash memory

闪存种类	状态	字线		位线		擦除栅		源线	
		选择	未选	选择	未选	选择	未选	选择	未选
SST 的自对准分栅闪存	擦写(V)	12.1	0	0	0	–	–	0	0
	读取(V)	2.5	0	0.8	0	–	–	0	0
	编程(V)	0.8	0	V_{dp}	1.65	–	–	8.2	0
本文低功耗高可靠性闪存	擦写(V)	0	0	0	0	12.1	0	0	0
	读取(V)	1.5	0	0.8	0	0	0	0	0
	编程(V)	0.8	0	V_{dp}	1.65	6.5	0	6.5	0

此外本文的闪存器件由于仍保留有字线,因此无过擦除风险。而且浮栅四周的介电层厚与自对准分栅闪存结构相同,因此同样具有优异的数据保持(data retention)能力。

2 样品制备

样品制备在华虹宏力三厂的 8 英寸线上完成。本文新闪存结构只需额外增加 4 道光刻,整个工艺步骤如图 2 所示,图 3 为该新结构的实物剖面图。



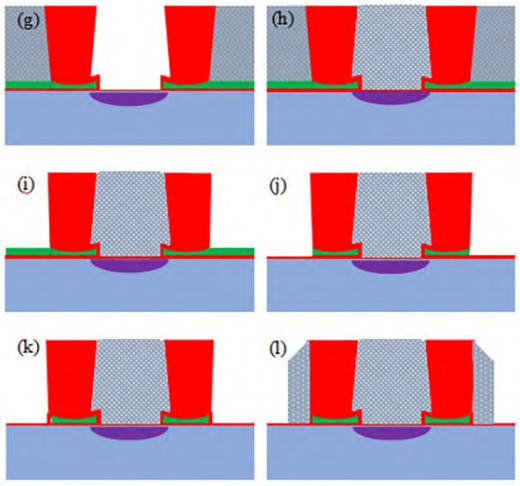


图 2　低功耗高可靠性闪存工艺步骤示意图 (a) 二氧化硅/浮栅多晶硅/硬掩膜层沉积; (b) 浮栅多晶硅上硬掩膜开口形成; (c) 浮栅多晶硅各向同性刻蚀形成尖端; (d) 隔离二氧化硅填充; (e) 擦除栅处的硬掩膜去除; (f) 浮栅多晶硅刻蚀 I; (g) 源线注入与隧穿氧化层沉积; (h) 擦除栅多晶硅填充与磨平; (i) 字线处的硬掩膜去除; (j) 浮栅多晶硅刻蚀 II; (k) 浮栅二氧化硅侧墙与字线栅氧形成; (l) 字线多晶硅自沉积与自对准刻蚀

Fig. 2 Schematic diagram of fabrication process steps of flash memory for low power consumption and high reliability (a) SiO_2/FG polysilicon/hard mask deposition; (b) Hard mask opening on FG polysilicon; (c) FG tip formed by isotropic etching; (d) Isolation SiO_2 filling; (e) Hard mask removal on EG side; (f) FG polysilicon etch I; (g) SL implant and tunneling oxide deposition; (h) EG polysilicon deposition and CMP; (i) Hard mask removal on WL side; (j) FG polysilicon etch II; (k) SiO_2 sidewall of FG and WL oxide forming; (l) FG polysilicon deposition and self-aligned etch

3　结果与讨论

3.1　电学特性测试

分别对单个闪存单元特性和闪存阵列特性进行测量。图 4 是擦除之后的闪存单元位线-字线电压电流曲线(I_{bl}-V_{wl}),为作对比,图中还给出了自对准分栅闪存的 I_b-V_{wl} 曲线。可以看到,新结构闪存读操作时的 WL 电压可大幅降低,在 1.5 V 下的沟道电流仍可达 30 uA 以上。而对于自对准分栅式闪存,读操作时的 WL 电压需要设在 2.5 V,才能使沟道电流接近 30 uA。

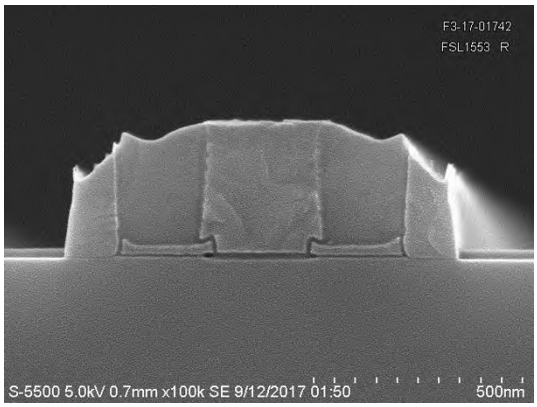


图 3　新型低功耗高可靠性闪存单元剖面图

Fig. 3 Cross section of the novel flash memory cell for low power and high reliability

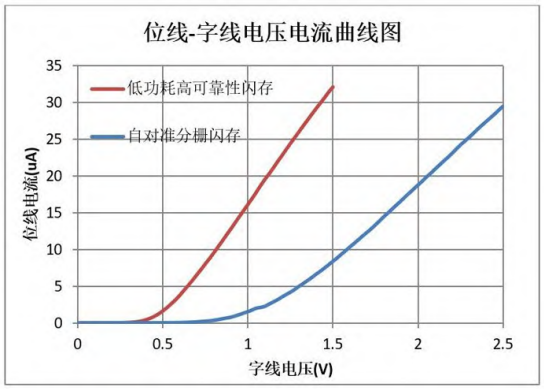


图 4　两种闪存单元擦除后的 I_{bl}-V_{wl} 曲线

Fig. 4 I_{bl}-V_{wl} curve of two flash memory after erased

3.2　编程抗串扰能力测试

当闪存单元进行编程时,源线上的高压会对同一列(共享位线)的共享源线的闪存单元产生列串扰,或对同一行(共享字线)的闪存单元产生行串扰。图 5 是编程抗串扰测试归一化结果。可以看到,当列串扰时间大于 0.05 ms(相当于 10 次的列串扰),自对准分栅式闪存单元电流急剧下降,最终下降比例达到 23%,而本文低功耗高可靠性闪存单元电流在 2 ms(相当于 400 次的列串扰)处仅下降约 1%。对于行串扰,在大于 100 ms 时,自对准分栅式闪存电流相较新结构闪存单元电流也有较快下降。新结构闪存抗串扰结果更佳,这也是因为其字线的栅氧化层减薄后,使沟道漏电流大大减小,由漏电流产生的串扰也随之大大减小,闪存单元的编程抗串扰能力明显增加。

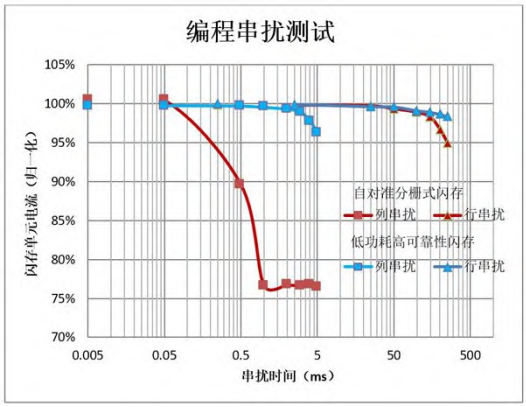


图 5 闪存抗串扰测试

Fig. 5 Flash memory anti-program-disturb test

3.3 耐久性测试

耐久性测试是闪存的重要可靠性指标。从图 6 可以看到闪存单元在经历了 100 k 次擦写循环之后，新结构的闪存单元电流值下降了 19% 左右，而自对准分栅闪存电流值下降了 44% 左右。闪存单元耐久性的退化是由擦除时电子隧穿对位于浮栅尖端和擦除栅之间的隧穿氧化层带来的损伤造成，这种损伤降低了擦除效率，使得擦除不够充分，从而导致沟道电流减小。另一方面，分栅闪存字线下方的栅氧化层在擦写过程中也因承受高电场而损伤，并引入负电荷，导致阈值电压升高，进一步降低了沟道电流。新结构闪存单元擦除栅位于源线上方，虽然擦写过程中仍会对隧穿氧化层和底部的栅氧化层造成损伤，但这个栅氧化层下方并没有沟道，因此损伤不会对沟道电流产生影响，故该闪存结构具有更加优异的耐久性。

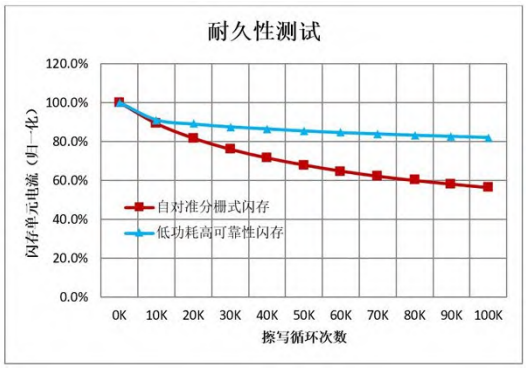


图 6 闪存耐久性测试

Fig. 6 Flash memory durability test

3.4 数据保持力测试

数据保持力是闪存的另一重要可靠性指标。新结构闪存，浮栅四周的介电层厚度与自对准分栅闪存结构相同，因此同样具有优异的数据保持能力。从图 7 可以看到新结构的闪存单元在经历了 250 ℃、72 h 的高温烘烤(bake)以后，电流值仅减小 1.5 uA 左右，满足客户数据保持力 20 年的要求。

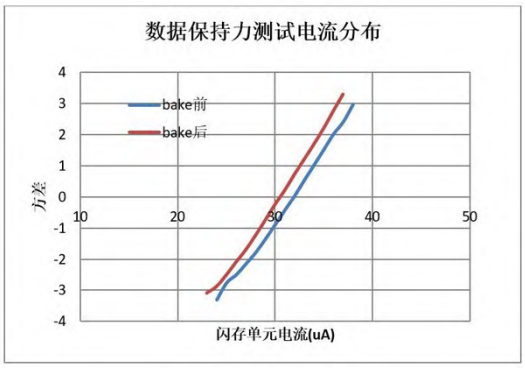


图 7 低功耗高可靠性闪存数据保持力测试

Fig. 7 Data retention test of flash memory for Low power consumption and high reliability

4 总结

本文的低功耗高可靠性浮栅型分栅闪存，通过增加擦除栅，字线在擦除过程中不再承受高压，因此字线长度和栅氧化层厚度可大幅度微缩，减小了闪存单元面积。该闪存单元读操作电压降低，有利于降低静态和动态功耗；编程抗串扰能力增强，性能和良率将更加稳定；耐久性更加持久，可靠性能力大幅提高。此外，工艺流程简单，成本较低，只需额外增加 4 道光刻步骤。综上，该新闪存单元结构非常适用于汽车电子、工业控制、物联网等要求高可靠性、低功耗的应用领域，具有广阔的发展前景。

参考文献：

[1] Iizuka H, Sato T, Masuoka F, et al. Stacked Gate Avalanche Injection Type Mos (SAMOS) Memory [C]. //Proceedings of the 4th Conference on Solid State Devices. Mikami O, Japan, 1972: 158.

[2] Masuoka F, Asano M, Iwahashi H, et al. A New Flash E-2Prom Cell Using Triple Polysilicon Technology [C]. //International Electron Devices Meeting. IEEE, International, 1984: 464-467.

[3]Dickson J F. On-Chip High-Voltage Generation in MNOS Integrated Circuits Using an Improved Voltage Multiplier Technique [J]. Solid-State Circuits, 1976, 11 (3): 374-378.

[4]Mukherjee S, Chang T, Pang R, et al. A Single Transistor EEPROM Cell and Its Implementation in a 512k Cmos EEPROM [C]. //International Electron Devices Meeting. IEEE, International, 1985: 616-619.

[5]Bez R, Camerlenghi E, Modelli A, et al. Introduction to Flash Memory [C]. //Proceedings of the IEEE. IEEE, International, 2003, 91(4): 489-502.

[6]Brewer J E, Gill M. Nonvolatile Memory Technologies with Emphasis on Flash [M]. USA: John Wiley & Sons, Inc., 2008.

[7]Verma G, Mielke N. Reliability Performance of Etox Based Flash Memories [C]. //Reliability Physics Symposium, 26th Annual Proceedings, 1988: 158-166.

[8]Eitan B,Pavan P, Bloom I, et al. NROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell [J]. Electron Device Letters, 2000, 21(11): 543-545.