文章编号：1007 - 4252(2022)02 - 0002 - 115　　DOI：10.20027/j.gncq.2022.0020

相变存储器多值存储的微观结构研究

刘　成[1]，赵　进[2]，辛天骄[1,2]，郑勇辉[1,2]，宋文雄[2]，成　岩[1,*]
（1. 华东师范大学，极化材料与器件教育部重点实验室，上海 200241；2. 中国科学院上海微系统与信息技术研究所，信息功能材料国家重点实验室，上海 200050）

摘要： 相变存储器（PCRAM）由于高速、高密度、低功耗及可持续微缩等优点，成为新型半导体存储器的研究热点。本文采用磁控溅射的方法和标准半导体工艺制备了 $Ge_2Sb_2Te_5$（GST）基 PCRAM 器件，通过不同电压脉冲宽度的电阻-电压（R-V）测试发现该器件具有多值存储特性。采用透射电子显微镜（TEM）分析了不同阻值状态的微观结构，发现伴随着 PCRAM 器件电阻值的降低，GST 材料层由底电极处开始晶化，并最终延伸至上电极，完成非晶态（a-phase）向晶态的结构转变。结果表明，PCRAM 器件的多阻态来源于晶态（非晶态）区域的体积占比不同。

关键词： 相变存储器；多值存储；GST；微结构演化
中图分类号： O414.13　　**文献标志码：** A

Microstructure investigation of the multi-level storage in phase change random access memory devices

Liu Cheng[1]，Zhao Jin[2]，XIN Tian-jiao[1,2]，ZHENG Yong-hui[1,2]，Song Wen-xiong[2]，Cheng Yan[1,*]
（1. Key Laboratory of Polar Materials and Devices（MOE），Department of Electronics，East China Normal University，Shanghai 200241，China；2. State Key Laboratory of Functional Materials for Informatics，Shanghai Institute of Microsystem and Information Technology，Chinese Academy of Sciences，Shanghai 200050，China）

Abstract: Phase change random access memory（PCRAM）is a research hotspot as a new semiconductor memory due to its scalable ability，high density and rapid phase transition superiority. In this paper，$Ge_2Sb_2Te_5$（GST）-based PCRAM devices were fabricated by magnetron sputtering and standard semiconductor process. Through resistance-voltage（R-V）tests with different voltage pulse widths，multi-level storage capacity in GST-based PCRAM devices was found. By utilizing transmission electron microscopy（TEM），the microstructure at different resistance state was investigated. With the decrease of resistance value，The GST material layer begins to crystallize from the bottom electrode and eventually extends to the

收稿日期： 2022-03-31；　**修订日期：** 2022-04-12
基金项目： 国家自然科学基金资助项目（62174054；92064003；62104071；12134003）；上海市青年科技英才扬帆计划资助项目（21YF1410900）；重庆市自然科学基金资助项目（cstc2021jcyj-msxmX0750）.
作者简介： 刘　成（1994-），女，硕士，主要研究方向为相变存储器（E-mail：51191213003@stu.ecnu.edu.cn）.
通信作者： 成　岩（1983-），女，博士，副教授，主要研究方向为半导体存储材料和器件（E-mail：ycheng@ee.ecnu.edu.cn）.

top electrode. Finally, achieving the phase transition from amorphous to crystalline state. The results show that the multi-resistive states of PCRAM devices are derived from the different volume ratios of crystalline (amorphous) regions.

Key words: Phase change memory; Multi-level storage; GST; Microstructure evolution

0 引言

当前,人工智能(AI)在神经网络计算和类脑研究方面正处于快速发展的关键阶段[1-2]。对于作为其技术支撑的存储器,在存储密度、功耗、速度等性能方面提出了更高的要求。传统的冯·诺依曼计算架构体系需要依赖不同存储器构成的层次化存储结构来获得性能和容量的平衡,而不同存储器间性能的差异、处理器与存储器间频繁的数据搬运等,导致计算效率低下,从而引发"存储墙"问题。2008 年,International Business Machines Corporation(IBM)提出存储级内存(SCM)的概念用来消除不同级存储器存储密度、存储速度之间的性能鸿沟[3]。在下一代的新型存储技术中,磁存储器(MRAM)[4]、阻变存储器(RRAM)[5]、铁电存储器(FeRAM)[6-7]和相变存储器(PCRAM)[8]等均有望填补存储鸿沟。PCRAM 具有读写速度快、与 CMOS 工艺兼容、循环特性好、可多级存储等诸多优点[9-10],是 SCM 最具竞争力的候选者之一。相变存储材料作为 PCRAM 的关键存储介质,在电脉冲的作用下可实现晶态(低阻)和非晶态(高阻)之间的可逆结构转变,PCRAM 通过区分电阻差异完成逻辑信息"0"和"1"的存储[10]。目前研究最为成熟的相变存储材料是 $Ge_2Sb_2Te_5$(GST)伪二元合金[11-12],也是最早商业化的相变存储材料。

为满足大数据时代对 PCRAM 存储密度的需求,学术界和产业界纷纷展开不同的尝试:①缩小器件尺寸,研制出纳米线、纳米桥和限制型器件结构的 PCRAM[13-16]。2010 年,Samsung 采用富 Sb 的 GST 材料,制备了 7.5 nm × 17 nm 的限制型 PCRAM 实现了 $4F^2$ 的存储密度[15];2013 年,Giusca 等人将 GeTe 材料填充到碳纳米管后发现其在~1.3 nm 仍具有相转变特性[16]。②构建三维堆叠相变存储器。2012 年日立公司构建了三维链状相变存储器(VC-CPCM),其中多晶硅二极管作为开关材料,成本是 3D 闪存的 20%[17];2015 年,英特尔与美光基于相变存储材料开发的 3D X Point 技术,在 20 nm 工艺节点实现了双层堆叠的 128 Gb 三维相变存储器,并获得量产。除了成本昂贵的器件尺寸微缩和三维堆叠技术之外,在单个 PCRAM 器件中实现多值存储也可以有效提升存储密度。

研究表明多层堆叠的相变薄膜[18]、异质结结构[19]、改变电压输入方向和特殊的编程操作方式[20-21]都可以实现多级存储的特性。Zheng 等人[22]通过原位加热 GST 薄膜的方法,发现在室温时 GST 材料薄膜处于沉积的非晶态;当温度升高至~150 °C 时,原本均匀的非晶态开始结晶成为晶粒尺寸为几十纳米的面心立方结构(f-pahse),电阻在 $10^6\Omega$ 与 $10^4\Omega$ 之间;当温度升高到~300 °C 时,则进一步转变为晶粒尺寸为几百纳米以上的六方相结构,电阻在 $10^3\ \Omega$ 到 $10^2\ \Omega$ 之间。因此 GST 相变材料从非晶态到晶态的转变过程中结构与电阻的对应关系,也可以用于多级存储。

本文利用不同的电学脉冲宽度来操作 PCRAM 器件单元,可以使其停留在三种不同的电阻状态。为阐明其微观机理,不同电阻状态的器件通过聚焦离子束(FIB)切割进行定点制样,借助透射电子显微镜(TEM)分析其微观结构,最后阐明了其微结构转变机理。

1 实验

1.1 相变存储器件制备

图 1 是制备完成后通过 FIB 加工的相变存储器截面图和各层材料能谱分布图。PCRAM 的制备:第一步,将标准 CMOS 工艺制备的包含加热底电极的衬底经过酒精和丙酮各清洗 5 min,用去离子水冲洗后,用 N_2 吹干,放入烘箱中烘干;第二步是生长 100 nm厚的 GST 材料层和 30~40 nm 的 TiN 顶电极层;随后经过旋涂光刻胶、紫外曝光、显影、干法刻蚀和去胶后烘干,得到本文中的 PCRAM 器件阵列。然后在 TiN 电极上方镀 W 保护层通过 FIB 加工,得到图 1(a)所示的器件截面图。通过能谱分析,得到各层材料分布图。由图中可以看出,Ge、Sb、Te 三种元素在相变存储薄膜中分布均匀,各元素的原子百

分比接近 2∶2∶5。

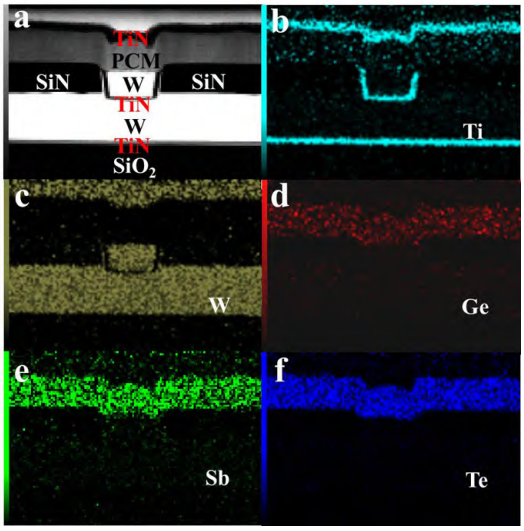

图 1　PCRAM 器件单元截面图及元素分布

Fig. 1 Cross section and element distribution of PCRAM device

1.2　实验方法与手段

PCRAM 器件单元电阻随脉冲电压大小变化曲线(*R*-*V*) 利用实验室自制电学性能测试系统得到,该系统主要由脉冲信号发生器(Tektronics AWG 5002B) 、多功能数字信号源表(Keithley 2400) 、微控探针台(Cascade RHM-06) 组成,电压脉冲最小宽度 6 ns; 不同电阻状态 PCRAM 器件单元薄片采用聚焦离子束系统(Helious G4 UX) 的切割、转移和减薄工艺获得; PCRAM 器件的微观形貌和衍射表征采用透射电子显微镜(JEM ARM300F) 获得。

2　结果与讨论

2.1　基于 GST 材料 PCRAM 器件的多值存储特性

图 2 为 GST 材料在不同电学脉冲宽度下的 SET 和 RESET 操作结果,当电压脉冲宽度由 500 ns 逐渐减小到 20 ns 时,器件均表现出完整的电学存储窗口,表现出器件的高速存储特性。器件高阻态的电阻为 ~ 10^6 Ω,低阻态的电阻为 ~ 10^4 Ω,此外存在一个阻值为 ~ 10^5 Ω 的中间态,相比于高阻态与低阻态,电阻比值均大于 1 个数量级,因此具备多态存储特性。随着脉冲宽度的降低,由于需要足够的能量使材料发生相变,SET 和 RESET 电压均呈现逐渐增加的趋势,其中 SET 电压增加的更加明显。这里按照电阻值的高低,将高阻态(~ 10^6 Ω) 、中间态(~ 10^5 Ω) 和低阻态(~ 10^4 Ω) 分别定义为 "0" 态、"1" 态和 "2" 态。与典型的 "0" 、"1" 二态存储相比,三级存储可以有效增加存储密度。

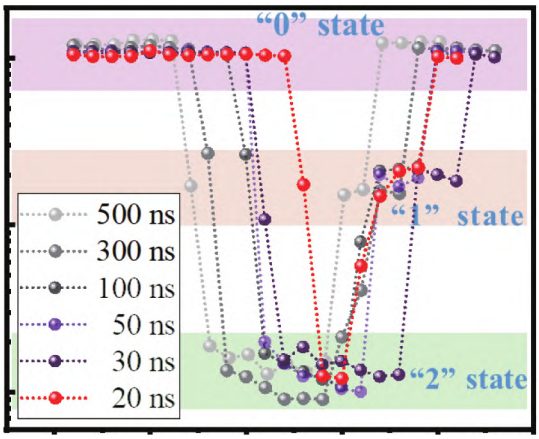

图 2　PCRAM 器件单元不同脉冲宽度下的 *R*-*V* 曲线

Fig. 2 *R*-*V* curves of PCRAM cell with different voltage pulse widths.

2.2　PCRAM 器件高阻态的微观结构(~ 10^6 Ω)

图 3 是经过 500 ns 的电学脉冲将 PCRAM 器件单元经过 RESET 操作至高阻态(10^6 Ω) 时的器件单元截面图。图 3(a) 为典型的 T 型结构,下电极尺寸为 190 nm,相变存储薄膜厚度为 100 nm。图 3(b) 为底电极上方放大的高分辨图像,表现出均匀的衬度,不存在明显的晶格条纹。图 3(b) 中的插图为相应的傅里叶变换图像(Fast Fourier transform, FFT) ,呈现弥散的衍射环,没有明显的衍射斑点或者明锐衍射环的出现,说明此时电极上方的材料已经经过电学操作变成了非晶态,因此呈现高阻状态。

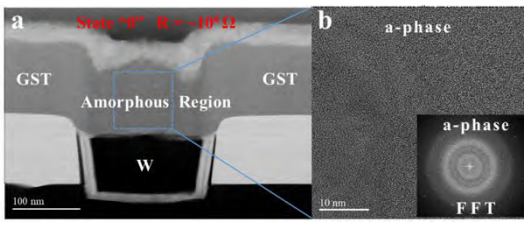

图 3　阻值为 ~ 10^6 Ω 时 PCRAM 器件单元的(a) 截面图和(b) 底电极上方的形貌图及 FFT

Fig. 3 The microstructure of a PCRAM cell with a resistance value of 10^6 Ω. (a) Cross section; (b) morphology and FFT above bottom electrode

2.3 PCRAM 器件中间态的微观结构(~$10^5\Omega$)

图 4 是经过 500 ns 的电学脉冲将 PCRAM 器件单元操作至中间态(~$10^5\Omega$) 的器件单元结构图。图 4(a) 为中间态的器件结构,其中靠近底电极区域的相变材料表现出非均匀衬度的结晶态,大约占总区域的三分之二; 而远离底电极的上方区域相变材料则表现为均匀衬度的非晶态,大约占总区域的三分之一。图 4(b) 为两相区域界面处(图 4(a) 的橙色方框) 放大的高分辨图像(HRTEM) 。高分辨晶面标定结果显示下方的晶粒为(111) 取向的面心立方相晶粒,而上方则是明显的非晶衍射环。

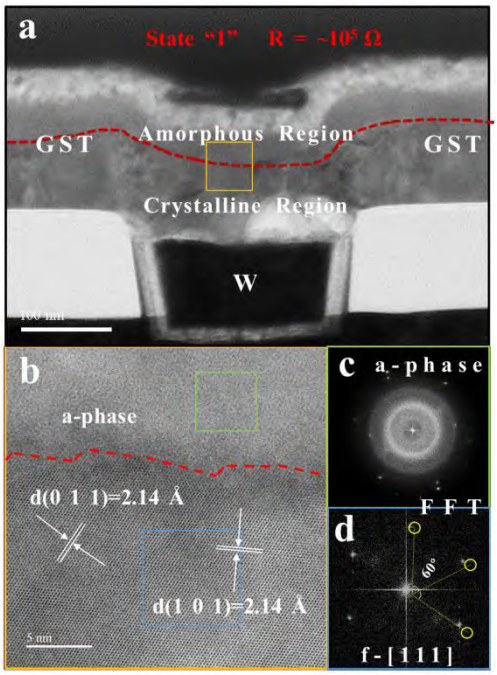

图 4 阻值为~$10^5\Omega$ 时 PCRAM 器件单元的(a) 截面图; (b) 底电极上方的 HRTEM 图以及非晶区域((c)) 和结晶区域((d)) 的 FFT

Fig. 4 The microstructure of a PCRAM cell with a resistance value of $10^5\Omega$. (a) cross section; (b) HRTEM image above bottom electrode and FFT of amorphous region ((c)) and crystalline region ((d))

2.4 PCRAM 器件低阻态的微观结构(~$10^4\Omega$)

图 5 为经过 500 ns 的电学脉冲将 PCRAM 器件单元操作至~$10^4\Omega$ 时 PCRAM 器件单元的截面图和底电极上方的 HRTEM 图片。从图 5(a) 中可以看出,底电极上方整个区域完全结晶。进一步采用 HRTEM 分析晶态区域的结构,可以发现上方晶粒是(001) 取向的面心立方相晶粒,连通 TiN 顶电极和 W 底电极,形成完整的导电通路。

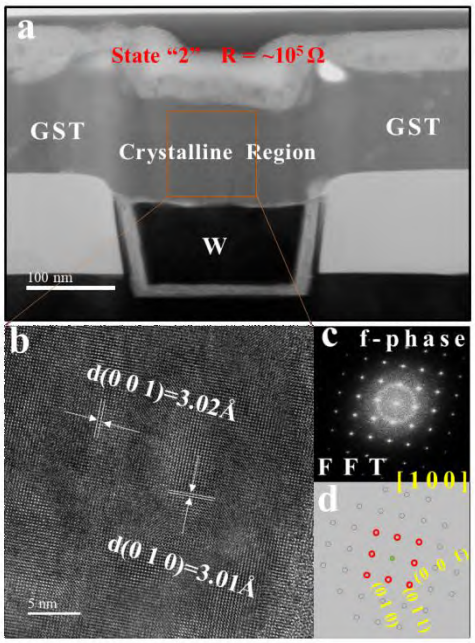

图 5 阻值为~$10^4\Omega$ 时 PCRAM 器件单元的(a) 截面图; (b) 底电极上方的 HRTEM 图以及对应的(c) FFT 和(d) 模拟的衍射斑点图

Fig. 5 The microstructure of a PCRAM cell with a resistance value of $10^4\Omega$. (a) cross section; (b) HRTEM images above the bottom electrode and corresponding (c) FFT and (d) simulated diffraction spots

2.5 PCRAM 器件单元多值存储特性研究

通过对 PCRAM 器件单元不同阻值状态的微观图像观察,可以对其微观结构转变机理进行分析。如图 6 所示,当 PCRAM 器件被 RESET 到高阻态时,底电极上方区域完全非晶,表现为高阻态(~$10^6\Omega$) ,对应状态"0"; 当 PCRAM 器件单元操作到中间态,电极上方区域部分晶化,但还存在部分的非晶态区域,因此 PCRAM 表现出中间态(~$10^5\Omega$) ,对应"1"态; 当器件单元操作到第三态时,电极上方区域完全晶化,PCRAM 表现出低阻态(~$10^4\Omega$) ,对应"2"态。由此可知,在 PCRAM 器件中相变薄膜层晶化程度的不同将会直接决定器件的阻值。

3 结论

本文采用磁控溅射和标准 CMOS 工艺相结合的方法,制备了厚度为 100 nm 的 GST 薄膜和 TiN 顶电

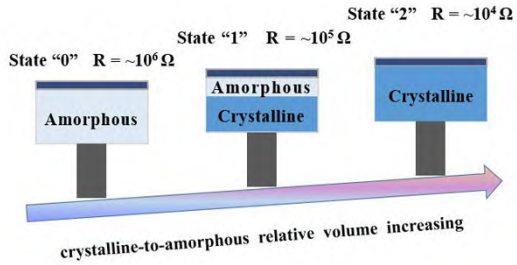

图 6　晶态体积相对于非晶态体积的变化示意图

Fig. 6 Schematic diagram of the variation of crystalline volume relative to amorphous volume

极,并通过涂胶、曝光、显影、刻蚀和去胶等工艺制备了完整的 PCRAM 器件阵列,通过电学测试发现其具有多值存储的特性,为探究其可能的机理从而研究了不同电阻值状态下微观结构的影响。研究发现:

(1) PCRAM 器件单元的 $R-V$ 曲线表明,除了高/低阻态外,还存在阻值为 ~$10^5\Omega$ 的中间态;

(2) PCRAM 器件单元阻值被分别操作至 ~$10^6\Omega$、~$10^5\Omega$ 和 ~$10^4\Omega$,底电极上方的晶态区域相对于非晶态区域不断变大,在 ~$10^4\Omega$ 时,电极上方完全结晶;

(3) 相变材料在 PCRAM 器件中的晶化方式表现为,随着器件电阻值的降低,底电极上方的结晶区域逐渐增加,并最终延伸至上电极,完成非晶态向晶态的结构转变。通过研究表明,PCRAM 器件的多阻态来源于晶态(非晶态)区域的体积占比不同。

参考文献:

[1] Karunaratne G, Le Gallo M, Cherubini G, et al.In-memory hyperdimensional computing [J]. Nature Electronics, 2020, 3(6): 327-337.

[2] Xu M, Mai X L, Lin J, et al. Recent advances on neuromorphic devices based on chalcogenide phase-change materials [J]. Advanced Functional Materials, 2020, 30(50): 2003419.

[3] Freitas R F,Wilcke W W. Storage-class memory: The next storage system technology [J]. IBM Journal of Research Development, 2008, 52(4-5): 439-447.

[4] Tehrani S. Status and outlook of MRAM memory technology [C].//2006 IEEE International Electron Devices Meeting. San Francisco, USA, 2006: 1-4.

[5] Yang J, Ding Q, Gong T, et al. Robust true random number generator using stochastic short-term recovery of charge trapping FinFET for advanced hardware security [C]. //2020 IEEE Symposium on VLSI Technology. Honolulu, USA, 2020: 1-2.

[6] Luo Q, Cheng Y, Yang J G, et al. A highly CMOS compatible hafnia-based ferroelectric diode [J]. Nature Communications, 2020, 11(1): 1391.

[7] Zhao Q, Wang H L, Ni Z J, et al. Organic ferroelectric-based 1T1T random access memory cell employing a common dielectric layer overcoming the half-selection problem [J]. Advanced Materials, 2017, 29(34): 1701907.

[8] Loke D, Lee T H, Wang W J, et al. Breaking the speed limits of phase-change memory [J]. Science, 2012, 336(6088): 1566-1569.

[9] Rao F, Ding K Y, Zhou Y H, et al. Reducing thestochasticity of crystal nucleation to enable subnanosecond memory writing [J]. Science, 2017, 358(6369): 1423-1426.

[10] Ovshinsky S R. Reversible electrical switching phenomena in disordered structures [J]. Physical Review Letters, 1968, 21(20): 1450.

[11] Wang W J, Loke D, Law L T, et al.Engineering grains of $Ge_2Sb_2Te_5$ for realizing fast-speed, low-power, and low-drift phase-change memories with further multilevel capabilities [C]. //2012 IEEE International Electron Devices Meeting. San Francisco, USA, 2012: 31.3.1-31.3.4.

[12] Jung Y, Lee S, Jennings A T, et al. Core-shellhetero-structured phase change nanowire multistate memory [J]. Nano Letters, 2008, 8(7): 2056-2062.

[13] Chen Y C,Rettner C T, Raoux S, et al. Ultra-thin phase-change bridge memory device using GeSb [C]. //2006 IEEE International Electron Devices Meeting. San Francisco, USA, 2006: 1-4.

[14] Meister S, Peng H L,Mcllwrath K, et al. Synthesis and characterization of phase-change nanowires [J]. Nano letters, 2006, 6(7): 1514-1517.

[15] Kim I S, Cho S L,Im D H, et al. High performance PRAM cell scalable to sub-20nm technology with below $4F^2$ cell size, extendable to DRAM applications [C]. //2010 IEEE Symposium on VLSI Technology. Honolulu, USA, 2010: 203-204.

[16] Simpson R E,Krbal M, Fons P, et al. Toward the ultimate limit of phase change in $Ge_2Sb_2Te_5$ [J], Nano Letters, 2010, 10(2): 414-419.

[17] Kinoshita M,Sasago Y, Minemura H, et al. Scalable 3-D vertical chain-cell-type phase-change memory with $4F^2$ poly-Si diodes [C]. //2012 IEEE Symposium on VLSI

Technology. Honolulu, USA, 2012: 35-36.

[18] Yin Y, Noguchi T, Ohno H, et al. Programming margin enlargement by material engineering for multilevel storage in phase-change memory [J]. Applied Physics Letters, 2009, 95(13): 133503.

[19] Ding K Y, Wang JJ, Zhou Y X, et al. Phase-change heterostructure enables ultralow noise and drift for memory operation [J]. Science, 2019, 366(6462): 210-215.

[20] Lee S, Jeong J, Lee T S, et al. Bias polarity dependence of a phase change memory with a Ge-doped SbTe: A method for multilevel programing [J]. Applied Physics Letters, 2008, 92(24): 243507

[21] Nirschl T, Philipp J B, Happ T D, et al. Write strategies for 2 and 4-bit multi-level phase-change memory [C]. // 2007 IEEE International Electron Devices Meeting. Washington, USA, 2007: 461-464.

[22] Zheng Y, Cheng Y, Huang R, et al. Surface energy driven cubic-to-hexagonal grain growth of $Ge_2Sb_2Te_5$ thin Film [J]. Scientific Reports, 2017, 7: 5915.